

**T.C.
MİLLÎ EĞİTİM BAKANLIĞI**

UÇAK BAKIM

**LOJİK DEVRE DİZAYNI
523EO0011**

Ankara, 2011

- Bu modül, mesleki ve teknik eğitim okul/kurumlarında uygulanan Çerçeve Öğretim Programlarında yer alan yeterlikleri kazandırmaya yönelik olarak öğrencilere rehberlik etmek amacıyla hazırlanmış bireysel öğrenme materyalidir.
- Millî Eğitim Bakanlığınca ücretsiz olarak verilmiştir.
- **PARA İLE SATILMAZ.**

İÇİNDEKİLER

AÇIKLAMALAR	iii
GİRİŞ	1
ÖĞRENME FAALİYETİ-1	3
1. BOOLEAN MATEMATİĞİ	3
1.1. Boolean İşlemleri	3
1.2. Boolean Matematik Sembolleri.....	3
1.3. Boolean Toplama ve Çarpma	4
1.4. Boolean Kanunları.....	4
1.4.1. Yer Değiştirme Kanunu (Commutative Laws).....	4
1.4.2. Birleşme Kanunu (Associative Laws)	5
1.4.3. Dağılma Kanunu (Distributive Law)	6
1.5. Boolean Matematik Kuralları.....	6
1.5.1. VEYA Özdeşlikleri (Kural 1).....	8
1.5.2. VE Özdeşlikleri (Kural 2).....	8
1.5.3. Çift Tersleme Kuralı (Kural 3)	9
1.5.4. Yutma Kuralı (Kural 4)	9
1.5.5. Kural 5	10
1.5.6. Kural 6	11
1.6. De Morgan Teoremleri.....	12
1.6.1. Teorem-1	12
1.6.2. Teorem-2.....	12
UYGULAMA FAALİYETİ.....	16
ÖLÇME VE DEĞERLENDİRME.....	19
ÖĞRENME FAALİYETİ-2	21
2. KARNOUGH (KARNO)HARİTALARI İLE LOJİK İFADELERİN SADELEŞTİRİLMESİ.....	21
2.1. Karnough Haritalarının Kuralları	21
2.2. Karnough Haritaları.....	22
2.2.1. İki Değişkenli Karnough Haritaları	22
2.2.2. Üç Değişkenli Karnough Haritaları	25
2.2.3. Dört Değişkenli Karnough Haritaları.....	29
UYGULAMA FAALİYETİ.....	37
ÖLÇME VE DEĞERLENDİRME.....	40
ÖĞRENME FAALİYETİ-3	42
3. LOJİK DİYAGRAMLARIN TASARIMI	42
3.1. Lojik Diyagramlardan Lojik İfadelerin Bulunması.....	48
3.2. Lojik Kapı Eş Değer Devreleri.....	50
3.2.1. Kapı Giriş Sayısının Artırılması	50
3.2.2. VE DEĞİL (NAND) Kapısından Diğer Kapıların Elde Edilmesi	52
3.2.3. VEYA DEĞİL (NOR) Kapısından Diğer Kapıların Elde Edilmesi	55
UYGULAMA FAALİYETİ.....	59
ÖLÇME VE DEĞERLENDİRME.....	62

ÖĞRENME FAALİYETİ-4	64
4. ARİTMETİK DEVRELER	64
4.1. Toplayıcılar	64
4.1.1. Yarım Toplayıcı (Half Adder-HA)	64
4.1.2. Tam Toplayıcı (Full Adder-FA)	65
4.1.3. Paralel Toplayıcı	66
4.1.4. TTL 7483 Entegresiyle Toplayıcı Tasarımı	67
4.2. Çıkarıcılar	68
4.2.1. Yarım Çıkarıcı (Half Subtractor-HS)	68
4.2.2. Tam Çıkarıcı (Full Subtractor-FS)	69
4.2.3. Paralel Çıkarıcı	70
4.2.4. TTL 7483 Entegresiyle Çıkarıcı Devre Tasarımı	71
4.3. Çarpma Devresi	72
4.4. Karşılaştırıcılar (Comparator)	73
4.4.1. Bir Bitlik Karşılaştırıcı Devresi	73
4.4.2. Karşılaştırma İşlemi Yapan Entegre Devreler	74
UYGULAMA FAALİYETİ	77
ÖLÇME VE DEĞERLENDİRME	80
ÖĞRENME FAALİYETİ-5	82
5. UÇAK SİSTEMLERİNDE KULLANILAN UYGULAMALAR, ŞEMATİK GRAFİKLER	82
5.1. Lojik Grafiklerin Açıklanması	84
5.1.1. Hidrolik Basıncının Değerlendirilmesi (Hydraulic Pressure Monitoring)	85
5.1.2. Servo Hidrolik Basıncının Kontrolü (Servo Hydraulic Pressure)	86
5.1.3. Uçuş Güvenlik Bilgisayarının Kontrolü (Facs-Flight Augmentation Computer- Engage Conditions)	87
5.1.4. Oto Pilotu Normal Devreden Çıkartma (Ap Instinctive Disconnect)	87
5.1.5. Flapların ve Slatların İzlenmesi (Flaps/Slats Monitoring)	88
5.1.6. Irs (Inertial Reference System) Sisteminin Kontrolü (Irs Monitoring)	88
5.1.7. İniş Takımlarının İzlenmesi (Landing Gear Monitoring)	89
5.1.8. Servoların Kilitlerinin İzlenmesi (Servo Clutches Monitoring)	89
5.1.9. Cws Sensörlerinin İzlenmesi (Cws Sensor Monitoring)	90
5.1.10. Oto Pilotun Cws Modunda Devreye Girme Şartları	90
5.1.11. Oto Pilotun Cmd Modunda Devreye Girme Şartları	92
UYGULAMA FAALİYETİ	95
ÖLÇME VE DEĞERLENDİRME	98
MODÜL DEĞERLENDİRME	99
CEVAP ANAHTARI	102
KAYNAKÇA	104

AÇIKLAMALAR

KOD	523EO0011
ALAN	Uçak Bakım
DAL/MESLEK	Uçak Elektronik
MODÜLÜN ADI	Lojik Devre Dizaynı
MODÜLÜN TANIMI	Lojik devre tasarımının tekniğine uygun olarak yapılabilmesi ve lojik şemaların hatasız olarak okunabilmesi için gerekli bilgi ve becerilerin kazandırıldığı öğrenme materyalidir.
SÜRE	40/32
ÖN KOŞUL	Sayı Sistemleri ve Data Çeviriciler modülünü başarmış olmak
YETERLİK	Lojik devre tasarımını yapabilmek, lojik ifade ve şemalarını hatasız olarak okuyabilmek
MODÜLÜN AMACI	Genel Amaç Lojik ifadeleri tanımlayarak lojik devre tasarımlarını yapabileceksiniz. Amaçlar 1. Boolean kuralları ile işlem basitleştirmesini hatasız olarak yapabileceksiniz. 2. Karnaugh haritaları ile lojik ifadeleri hatasız olarak sadeleştirebileceksiniz. 3. Lojik diyagram tasarımını tekniğine uygun olarak yapabileceksiniz. 4. Aritmetik devreleri tekniğine uygun olarak tasarlayıp yapabileceksiniz. 5. Uçak sistemlerinde kullanılan lojik şemaları hatasız olarak okuyabileceksiniz.
EĞİTİM ÖĞRETİM ORTAMLARI VE DONANIMLARI	Ortam: Dijital elektronik laboratuvarı, dijital elektronik devreler ile imalat yapan işletmeler Donanım: Lojik entegre katalogları, temel dijital elektronik deney seti, multimetreler (avometre), osilaskop, ayarlı güç kaynağı, sinyal jeneratörü
ÖLÇME VE DEĞERLENDİRME	Modül içinde yer alan her öğrenme faaliyetinden sonra verilen ölçme araçları ile kendinizi değerlendireceksiniz. Öğretmen modül sonunda ölçme aracı (çoktan seçmeli test, doğru-yanlış testi, boşluk doldurma, eşleştirme vb.) kullanarak modül uygulamaları ile kazandığımız bilgi ve becerileri ölçerek sizi değerlendirecektir.

GİRİŞ

Sevgili Öğrenci,

Teknik elemanlar hızlı sanayileşmenin, ekonomik, sosyal ve kültürel kalkınmanın en önemli unsurudur. Hızlı ve sürekli üretim, teknik elemanların aynı dili kullanmaları ile sağlanır. Yapılan işin istenen özelliklerde olması, teknik elemanların, devre tasarımı yapabilmeleri ve şemalarını eksiksiz okuyabilmeleri ve bunu birebir uygulamalarına bağlıdır. Bu sebeple elektrik-elektronik devre şemalarında kullanılan lojik devrelerin sembollerini çizimini ve tasarımını yapabilmelidir.

Lojik devreler uçaklarda geniş bir kullanım alanına sahiptir. Uçaklarda kullanılan elektrik-elektronik devrelerin birçoğunda lojik uygulamalar karşımıza çıkar. Havacılık sektöründe yaşanan büyük rekabet ortamında ülkemizin de bu konuda söz sahibi olması sizlerin bu alanda kendinizi yetiştirmenize bağlıdır.

Sizler bu modülü aldıktan sonra dünya standartlarında lojik devreleri tanıyabilecek, tasarımını yapabilecek, lojik devrelerin sembollerini tanıyıp devre şemalarını kolaylıkla çizebilecek ve çizilmiş olan devre şemalarını da okuyabileceksiniz.

ÖĞRENME FAALİYETİ-1

AMAÇ

Boolean kuralları ile işlem basitleştirmesini hatasız olarak yapabileceksiniz.

ARAŞTIRMA

- Boolean matematiği nedir? Araştırınız.
- Boolean matematiği nerelerde kullanılır? Araştırınız.
- Boolean matematik kurallarını araştırınız?

1. BOOLEAN MATEMATİĞİ

BOOLEAN matematiği İngiliz matematikçi George Boole tarafından 1854 yılında geliştirilmiştir. 1938 yılında Claude Shanon, sayısal devrelerin tasarımında ve analizinde Boolean matematiğinin kullanılmasını gerçekleştirdi. BOOLEAN matematiği, sayısal devrelerin çıkış ifadelerinin giriş değişkenleri cinsinden ifade edilmesi ve elde edilen ifadenin en basit hâline ulaşması için kullanılır.

1.1. Boolean İşlemleri

Boolean matematiği sayısal sistemlerin analizinde ve anlaşılmasında kullanılan temel sistemdir. Bu bölümde temel Boolean işlemleri ve bunların sayısal devrelerde nasıl kullanıldığı anlatılacaktır.

1.2. Boolean Matematiği Sembolleri

Boolean matematiğinde kullanılan değişkenler veya fonksiyonlar büyük harfler kullanılarak gösterilmiştir. Sayısal olarak bir değişken veya fonksiyon iki değer alabilir. Bu değerler 1 veya 0 olacaktır. Değişkenlerin veya fonksiyonların aldığı bu değerler sayısal devrelerde eğer "1" ise YÜKSEK gerilim seviyesi , "0" ise ALÇAK gerilim seviyesini gösterecektir.

Değil veya tümleyen (komplement), Boolean matematiğinde değişkenin üzerine çizilen bir çizgi ile gösterilir. (\bar{A}) eğer $\bar{A}=1$ ise $A=0$ 'dır. $A=1$ ise $\bar{A}=0$ 'dır.

Boolean kurallarında kullanılan 0 ve 1 değerleri mantıksal değerlerdir. 0=Lojik 0, 1=Lojik 1'dir. Lojik 0 ve Lojik 1 değerlerine karşılık gelen ifadeler aşağıdaki tabloda gösterilmiştir.

LOJİK 0	LOJİK 1
Yanlış	Doğru
Düşük	Yüksek
Hayır	Evet
Açık Anahtar	Kapalı Anahtar
Olumsuz	Olumlu
Çalışmaz	Çalışır

1.3. Boolean Toplama ve Çarpma

Boolean matematiğinin sayısal devre uygulamalarında Boolean toplama veya fonksiyonu ile tanımlanacaktır.

Boolean toplamaya ilişkin temel kurallar aşağıda verilmiştir.

0	+	0	=	0
0	+	1	=	1
1	+	0	=	1
1	+	1	=	1

Boolean çarpma işlemi ise VE fonksiyonu ile ifade edilir. Boolean çarpma işlemine ilişkin temel kurallar aşağıda verilmiştir.

0	.	0	=	0
0	.	1	=	0
1	.	0	=	0
1	.	1	=	1

1.4. Boolean Kanunları

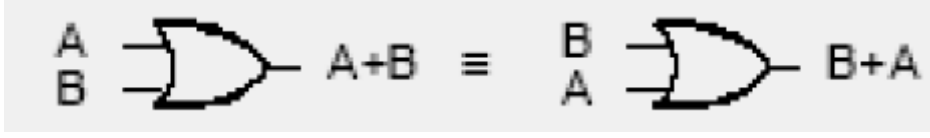
Boolean matematiğinin üç temel kanunu; Yer Değiştirme Kanunu (Commutative Laws), Birleşme Kanunu (Associative Laws) ve Dağılıma Kanunu (Distributive Laws)dur.

1.4.1. Yer Değiştirme Kanunu (Commutative Laws)

İki giriş değişkeni için Boolean toplamaya ait Yer Değiştirme Kanunu aşağıdaki gibi yazılır:

$$A+B = B+A$$

İki girişli bir VEYA kapısının girişlerine uygulanan değişkenler, yer değişirse çıkış değeri değişmez. Yer Değiştirme Kanunu'nun VEYA kapısı uygulaması Şekil 1.1'de verilmiştir.



Şekil 1.1: Yer Değiştirme Kanunu'nun VEYA kapısı uygulaması

İki giriş değişkeni için Boolean çarpıma ait Yer Değiştirme Kanunu aşağıdaki gibi yazılır:

$$A.B = B.A$$

İki girişli bir VE kapısının girişlerine uygulanan değişkenler yer değişirse çıkış değeri değişmez. Yer Değiştirme Kanunu'nun VE kapısı uygulaması Şekil 1.2'de verilmiştir.



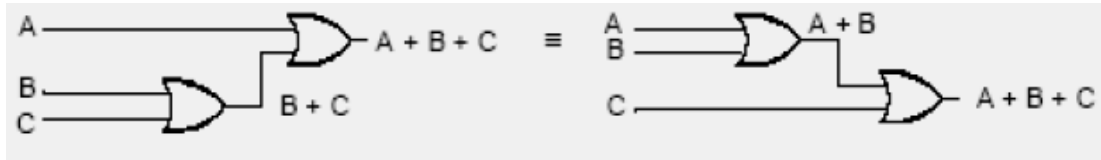
Şekil 1.2: Yer Değiştirme Kanunu'nun VE kapısı uygulaması

1.4.2. Birleşme Kanunu (Associative Laws)

Boolean toplama işlemine ilişkin Birleşme Kanunu A,B,C giriş değişkenlerini göstermek üzere aşağıdaki gibi yazılır:

$$A + (B + C) = (A + B) + C$$

Bir VEYA kapısının girişlerine uygulanan değişkenlerin gruplandırılmaları değişirse çıkış değeri değişmeyecektir. Şekil 1.3 Birleşme Kanunu'nun VEYA kapısı uygulamasını göstermektedir.

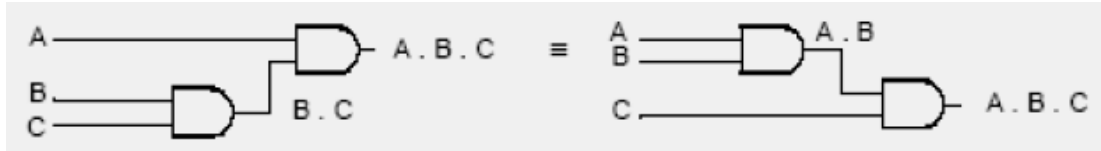


Şekil 1.3: Birleşme Kanunu'nun VEYA kapısı uygulaması

Boolean çarpma işlemine ilişkin Birleşme Kanunu A,B,C giriş değişkenlerini göstermek üzere aşağıdaki gibi yazılır:

$$A . (B . C) = (A . B) . C$$

Bir VEYA kapısının girişlerine uygulanan değişkenlerin gruplandırılmaları değişirse çıkış değeri değişmeyecektir. Şekil 1.4 Birleşme Kanunu'nun VE kapısı uygulamasını göstermektedir.



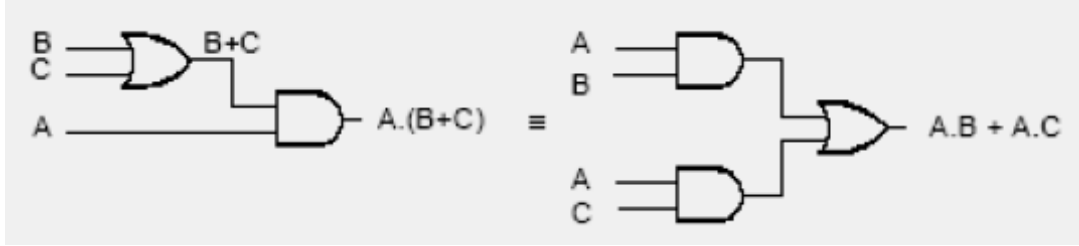
Şekil 1.4: Birleşme Kanunu'nun VE kapısı uygulaması

1.4.3. Dağılma Kanunu (Distributive Law)

A,B,C giriş değişkenlerini göstermek üzere Dağılma Kanunu aşağıdaki gibi yazılır:

$$A \cdot (B + C) = A \cdot B + A \cdot C$$

VEYA'lanmış B,C değişkenlerinin A ile VE'lenmesi ile elde edilen ifade, A değişkeninin B, C değişkenleri ile VE'lenmesi sonucu VEYA'lanmasından elde edilen ifadeye eşittir. Şekil 1.5 Dağılma Kanunu'nu göstermektedir.



Şekil 1.5: Dağılma Kanunu'nun mantık kapıları ile uygulanması

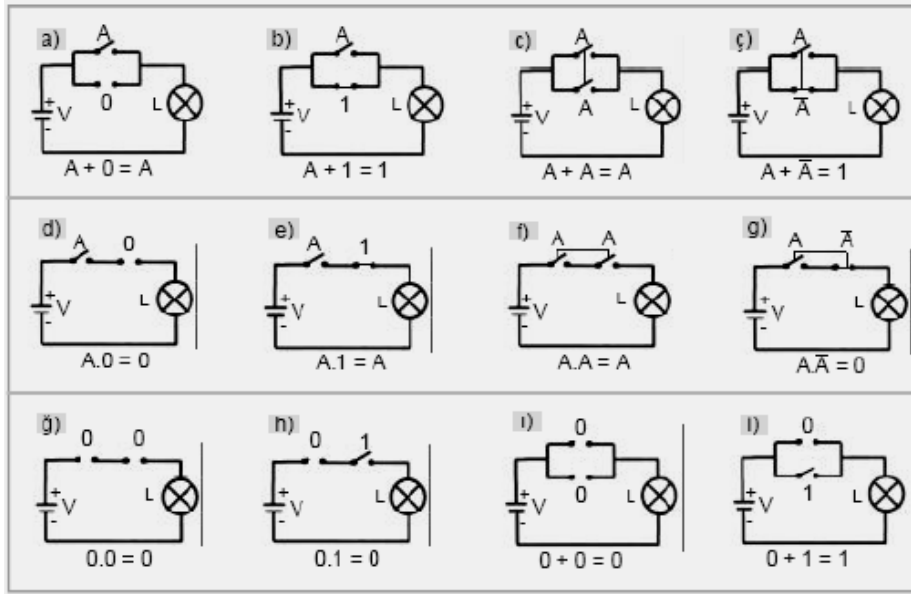
1.5. Boolean Matematiği Kuralları

Tablo 1.1 lojik ifadelerin indirgenmesinde kullanılan temel Boolean kurallarını göstermektedir.

1.a-	$A + 0 = A$
b-	$A + 1 = 1$
c-	$A + \bar{A} = 1$
d-	$A + A = A$
2.a-	$A \cdot 0 = 0$
b-	$A \cdot 1 = A$
c-	$A \cdot \bar{A} = 0$
d-	$A \cdot A = A$
3.	$\bar{\bar{A}} = A$
4.	$A + A \cdot B = A$
5.	$A + \bar{A} \cdot B = A + B$
6.	$(A + B) \cdot (A + C) = A + B \cdot C$

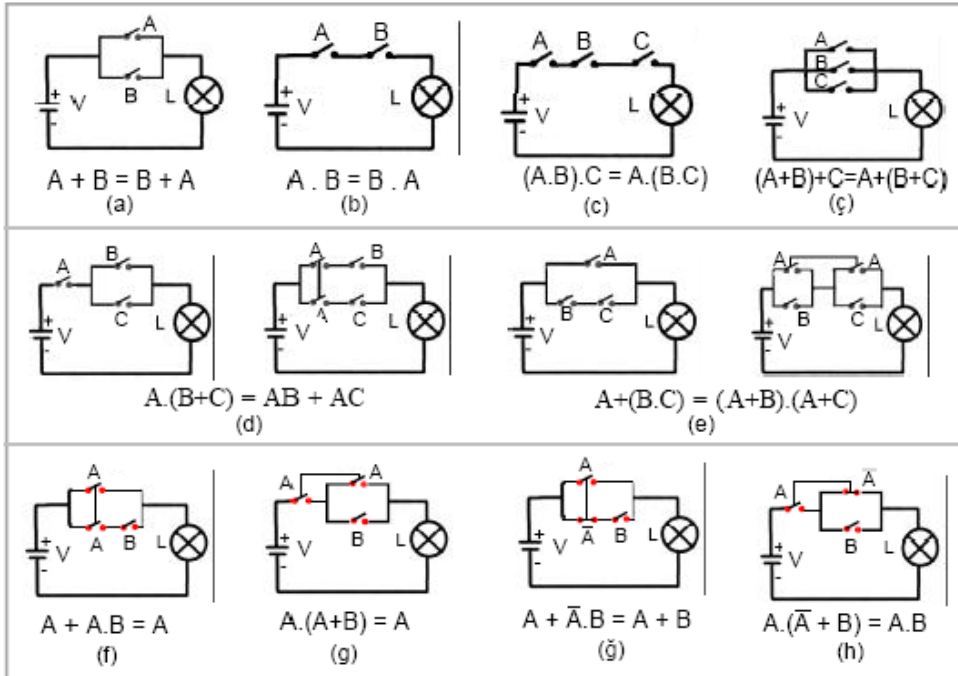
Tablo 1.1: Temel Boolean Kuralları

Tablo 1.2'de Boolean özdeşlikleri elektrik devreleriyle gösterilmektedir.



Tablo 1.2: Boolean özdeşliklerinin elektrik devreleriyle gösterilmesi

Tablo 1.3'te Boolean Kanunları elektrik devreleriyle gösterilmektedir.



Tablo 1.3: Boolean Kanunları'nın elektrik devreleriyle gösterilmesi

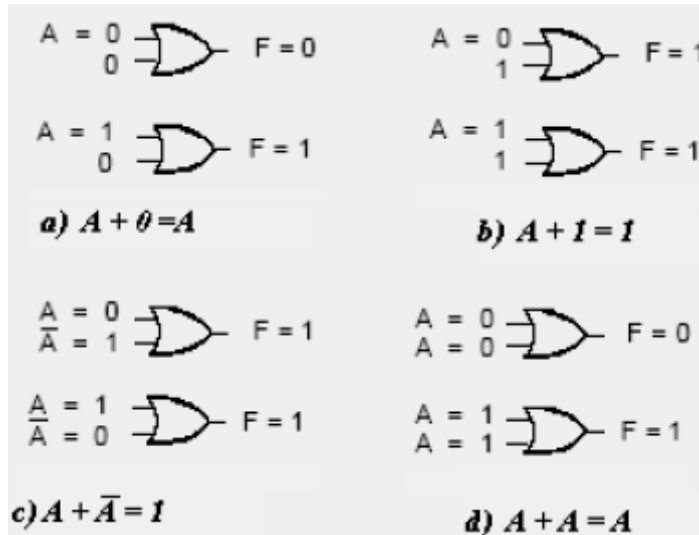
1.5.1. VEYA Özdeşlikleri (Kural 1)

a) Bir VEYA kapısının girişlerinden biri "0" ise çıkış ifadesi A'nın durumuna bağlıdır. Eğer A=0 ise çıkış "0", A=1 ise çıkış "1" olur.

b) Bir VEYA kapısının girişlerinden biri "1" ise A'nın durumu ne olursa olsun çıkış daima "1" olur.

c) Bir VEYA kapısının girişlerine değişkenin değili ile kendisi uygulanırsa çıkış A'nın durumu ne olursa olsun daima "1" olur.

d) Bir VEYA kapısının her iki girişine aynı değişken uygulanırsa çıkış A'nın durumuna bağlıdır. Eğer A=0 ise çıkış "0", A=1 ise çıkış "1" olur.



Şekil 1.6: VEYA özdeşlikleri

1.5.2. VE Özdeşlikleri (Kural 2)

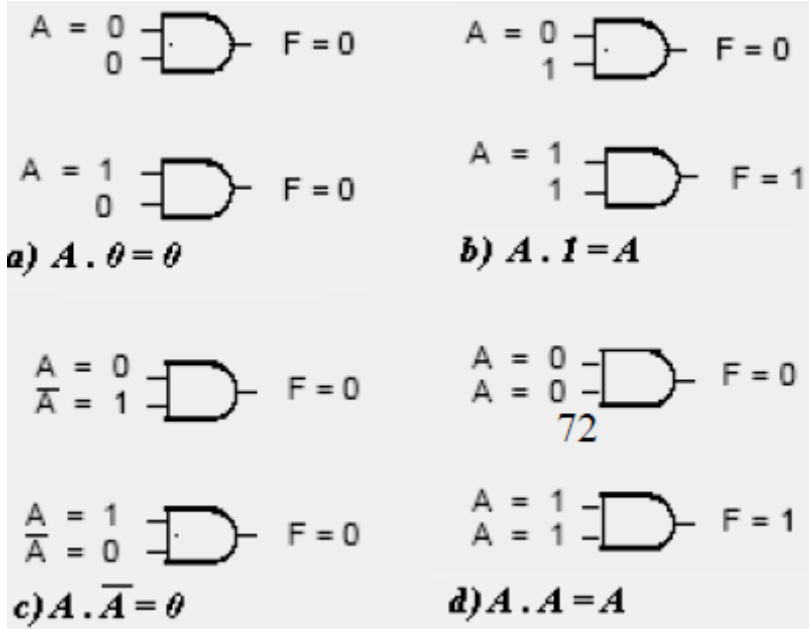
a) Bir VE kapısının girişlerinden biri "0" ise A'nın durumu ne olursa olsun çıkış daima "0" olur.

b) Bir VE kapısının girişlerinden biri "1" ise çıkış ifadesi A'nın durumuna bağlıdır. Eğer A=0 ise çıkış "0", A=1 ise çıkış "1" olur.

c) Bir VE kapısının girişlerine değişkenin değili (tümleyeni) ile kendisi uygulanırsa çıkış A'nın durumu ne olursa olsun daima "0" olur.

d) Bir VE kapısının her iki girişine aynı değişken uygulanırsa çıkış A'nın durumuna bağlıdır.

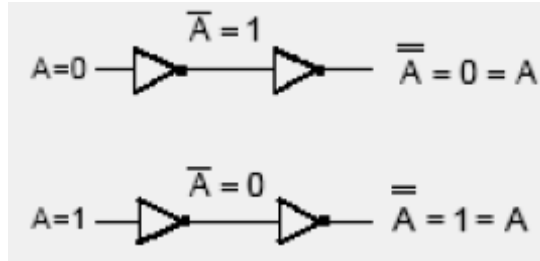
Eğer A=0 ise çıkış "0", A=1 ise çıkış "1" olur.



Şekil 1.7: VE özdeşlikleri

1.5.3. Çift Tersleme Kuralı (Kural 3)

Bir lojik ifadenin veya değişkenin iki defa değili alınırsa (terslenirse) lojik ifadenin veya değişkenin aslı elde edilir.



Şekil 1.8: Çift tersleme kuralı

1.5.4. Yutma Kuralı (Kural 4)

Bu kuralı Dağılma Kanunu ve VEYA, VE özdeşlikleri yardımı ile açıklayalım. Eğer ifadeyi A ortak parantezine alırsak aşağıdaki dönüşüm sağlanmış olur:

$$\begin{aligned}
 A + A \cdot B &= A(1+B) \text{ Dağılma Kanunu, VEYA özdeşlikleri VE özdeşlikleri} \\
 &= A \cdot 1 \\
 &= A
 \end{aligned}$$

Tablo 1.4'te $A + A \cdot B$ ifadesine ait doğruluk tablosu gösterilmiştir. Giriş değişkenlerinin durumuna bağlı olarak çıkış ifadesi yazılabilir. $A + A \cdot B$ çıkışının A giriş ifadesine eşit olduğu Tablo 1.4'ten görülmelidir.

A	B	A.B	A + A.B
0	0	0	0
0	1	0	0
1	0	0	1
1	1	1	1

Tablo 1.4: $A + A.B=A$ ifadesinin doğruluk tablosu

1.5.5. Kural 5

Bu kuralı yutma, VE, VEYA özdeşlikleri, çift tersleme kuralları yardımı ile açıklayalım.

$A + \bar{A}B = (A + A.B) + \bar{A}B$	<i>Yutma kuralı</i>
$= (A.A + A.B) + \bar{A}B$	<i>VE özdeşliği</i>
$= A.A + A.B + A.\bar{A} + \bar{A}B$	<i>Çift tersleme</i>
$= (A + \bar{A}). (A + B)$	<i>VEYA özdeşliği</i>
$= 1. (A + B)$	<i>VE özdeşliği</i>
$= A + B$	

Kural 5'e ait doğruluk tablosu Tablo 1.5'te verilmiştir. Giriş değişkenlerinin durumlarına bağlı olarak $A + \bar{A}B$ ifadesi ve $A+B$ ifadesi yazılırsa bu iki ifadenin eşitliği Tablo 1.5'ten görülebilir.

A	B	$\bar{A}B$	$A + \bar{A}B$	$A+B$
0	0	0	0	0
0	1	1	1	1
1	0	0	1	1
1	1	0	1	1

Tablo 1.5: $A + \bar{A}B = A+B$ ifadesinin doğruluk tablosu

1.5.6. Kural 6

Bu kuralı Dağılıma Kanunu, VE özdeşliği, VEYA özdeşliği yardımı ile açıklayalım:

$$\begin{aligned}(A + B) \cdot (A + C) &= A.A + A.C + A.B + B.C \\ &= A + A.C + A.B + B.C \\ &= A \cdot (1 + C) + A.B + B.C \\ &= A \cdot 1 + A.B + B.C \\ &= A \cdot (1 + B) + B.C \\ &= A + B.C\end{aligned}$$

A	B	C	A+B	A+C	(A+B).(A+C)	B.C	A+B.C
0	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0
0	1	0	1	0	0	0	0
0	1	1	1	1	1	1	1
1	0	0	1	1	1	0	1
1	0	1	1	1	1	0	1
1	1	0	1	1	1	0	1
1	1	1	1	1	1	1	1

Tablo 1.6 : $(A+B).(A+C)= A+B.C$ ifadesinin doğruluk tablosu

Tablo 1.6'da girişlerin durumuna bağlı olarak $(A + B) \cdot (A + C)$ ile $A + B.C$ ifadelerinin durumları yazılmıştır. Bu iki ifadenin eşitliği tablodan görülebilir.

1.6. De Morgan Teoremleri

De Morgan Teoremleri Boolean matematiğinin en önemli teoremleridir. İki değişken için De Morgan teoremleri aşağıdaki gibi yazılır.

$$\text{Teorem-1} \quad \overline{A \cdot B} = \overline{A} + \overline{B}$$

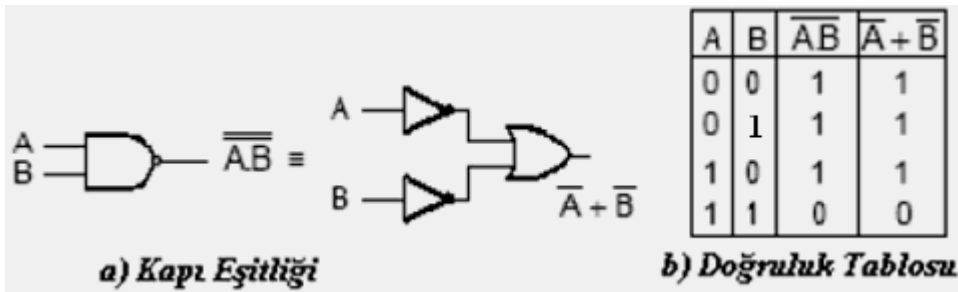
$$\text{Teorem-2} \quad \overline{A + B} = \overline{A} \cdot \overline{B}$$

1.6.1. Teorem-1

Bu teoremi açıklamadan önce Boolean çarpma ve Boolean toplama işlemi arasındaki ilişkiyi açıklayalım. Boolean matematiğinde çarpma işleminin komplementeri toplama işlemine eşittir. A,B gibi iki değişkenin VE DEĞİL kapısına uygulanması ile elde edilen ifade bu iki değişkenin değilinin alınmasından sonra VEYA'lanması ile elde edilen ifadeye eşittir.

$$\overline{A \cdot B} = \overline{A} + \overline{B} \quad (\text{Teorem -1})$$

Şekil 1.9'da Teorem-1'e ait kapı eşitliği ve doğruluk tablosunu göstermektedir.



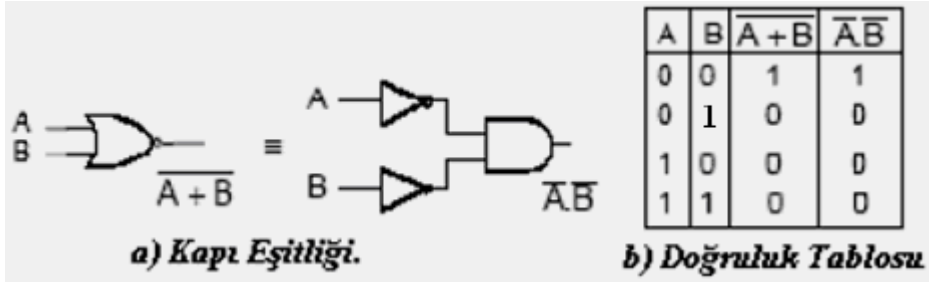
Şekil 1.9: Teorem-1'e ait kapı eşitliği ve doğruluk tablosu

1.6.2. Teorem-2

Boolean matematiğinde toplama işleminin komplementeri çarpma işlemine eşittir. A, B gibi iki değişkenin VEYA DEĞİL kapısına uygulanması ile elde edilen ifade bu iki değişkenin değilinin alınmasından sonra; girişler VE lojik işlemi ile elde edilen ifadeye eşittir.

$$\overline{A + B} = \overline{A} \cdot \overline{B} \quad (\text{Teorem-2})$$

Şekil 1.10'da Teorem-2'ye ait kapı eşitliğini ve doğruluk tablosunu göstermektedir.



Şekil 1.10: Teorem-2'ye ait kapı eşitliği ve doğruluk tablosu

Örnek: Aşağıdaki lojik ifadelere De Morgan teoremlerini uygulayınız.

a) $Q = \overline{A+B+C} = \overline{A} \cdot \overline{B} \cdot \overline{C}$

b) $Q = \overline{A \cdot B \cdot C} = \overline{A} + \overline{B} + \overline{C}$

Eğer verilen lojik ifade fazla sayıda değişken ve işlem içeriyorsa bu durumda ifadenin basitleştirilmesi için lojik ifade içerisindeki farklı değişken tanımlanarak De Morgan teoremleri uygulanabilir.

Örnek: Aşağıdaki lojik ifadeye De Morgan teoremini uygulayınız.

$$Q = \overline{(A + B \cdot \overline{C}) \cdot (D \cdot E)}$$

Çözüm: İşlemi adım adım anlatalım.

I. Adım: Lojik ifade içindeki işlemleri farklı bir değişken kullanarak tanımlayalım

$$X = A + B \cdot \overline{C} \text{ ve } Y = D \cdot E \text{ dönüşümleri yapılır.}$$

II. Adım: Basitleştirilmiş eşitlik

$$Q = \overline{X \cdot Y} \text{ olur.}$$

III. Adım: BU ifadeye De Morgan teoremini uygularsak $Q = \overline{X} + \overline{Y}$ olacaktır. X ve Y değişkenlerini fonksiyona tekrar yazarsak Q eşitliği

$$Q = \overline{(A + B \cdot \overline{C})} + D \cdot E \text{ olur.}$$

IV. Adım: $A + B \cdot \overline{C}$ ifadesinde $Z = A$ ve $W = B \cdot \overline{C}$ dönüşümü yapılırsa

V. Adım: $\overline{Z.W} = \overline{Z} + \overline{W}$ olacaktır. Q ifadesi ise $Q = \overline{A} . (\overline{B} + C) + D.E$ olacaktır.

Örnek: Aşağıdaki lojik ifadelere De Morgan teoremini uygulayınız.

a) $Q = \overline{(A + B + C).D}$

b) $Q = \overline{A.B.\overline{C} + D.E.F}$

Çözüm:

a)

$A+B+C=X$ ve $D=Y$ dönüşümleri yapılırsa;

$A+B+C=X$ ve $D=Y$ dönüşümleri yapılırsa;

$$\overline{X.Y} = \overline{X} + \overline{Y} \text{ olacaktır.}$$

$$\overline{(A+B+C).D} = \overline{(A+B+C)} + \overline{D} \text{ olur.}$$

$\overline{(A+B+C)}$ ifadesine DeMorgan teoremi uygulanırsa

$$\overline{(A+B+C)} + \overline{D} = \overline{A}.\overline{B}.\overline{C} + \overline{D} \text{ olacaktır.}$$

b)

$A.B.\overline{C} = X$ ve $D.E.F=Y$ dönüşümleri yapılırsa.

$$\overline{X.Y} = \overline{X} + \overline{Y} \text{ olacaktır.}$$

$$\overline{A.B.\overline{C} + D.E.F} = \overline{(A + B + C)}.(\overline{D} + \overline{E} + \overline{F})$$

ifadesi elde edilir.

Örnek:

$$Q = B.C + B.(C + A) + C.(\bar{B} + A)$$

İfadesini Boolean Teoremleri yardımı ile indirgeyiniz.

Çözüm:

Sadeleştime işlemini çeşitli adımlarla gösterelim

I.Adım: Dağılma kanununu ikinci ve üçüncü terimlere uygularsak ifade aşağıdaki gibi olacaktır.

$$Q = B.C + B.C + A.B + \bar{B}.C + A.C$$

II.Adım: Birinci ve ikinci terimi "B" değişkeni ortak parantezine alırsak ifade

$$Q = B.(C + C) + A.B + \bar{B}.C + A.C$$

III.Adım: VEYA özdeşlikleri ile $(C + C = C)$

$$Q = B.C + A.B + \bar{B}.C + A.C$$

IV.Adım: Birinci ve üçüncü terimi "C" değişkeni ortak parantezine alırsak

$$Q = C(B + \bar{B}) + A.B + A.C$$

V.Adım: VEYA özdeşlikleri ile $(B + \bar{B} = 1)$

$$Q = C + A.B + A.C$$

VI.Adım: Birinci ve üçüncü terimi "C" ile ortak paranteze alırsak

$$Q = C(1 + A) + A.B$$

VII.Adım: VEYA özdeşlikleri yardımı ile $(1 + A = 1)$

$$Q = C + A.B$$

olacaktır.

UYGULAMA FAALİYETİ

Aşağıdaki şekilde görülen yarım toplayıcı devresini breadboard üzerinde, verilen işlem basamaklarına uygun şekilde gerçekleştiriniz.

Malzeme listesi:

1 adet 7486-7408 entegre

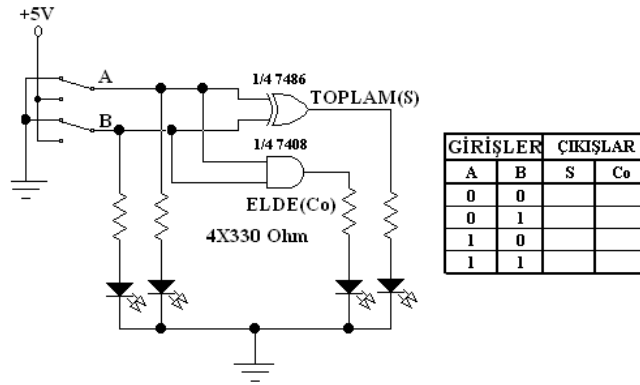
4 adet 330 ohm direnç

2 adet iki konumlu anahtar

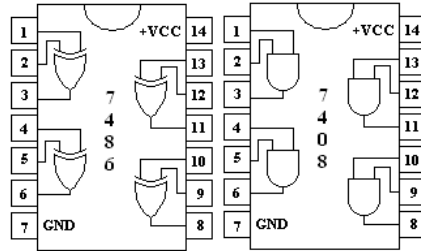
4 adet led

5V DC güç kaynağı

Bağlantı iletkenleri



Yarım toplayıcı uygulama devresi ve doğruluk tablosu



Denyde kullanılacak entegrelerin ayak bağlantıları

İşlem Basamakları	Öneriler
<ul style="list-style-type: none"> ➤ Çalışma ortamınızı hazırlayınız. 	<ul style="list-style-type: none"> ➤ İş önlüğünüzü giyiniz. ➤ Çalışma masanızı düzenleyiniz. ➤ Çalıştığınız deney masasının üzerinde deney ile ilgisi olmayan araç gereç ve malzemeyi kaldırınız.
<ul style="list-style-type: none"> ➤ Şekildeki devrenin malzemelerini temin ediniz. 	<ul style="list-style-type: none"> ➤ Malzemeleri öğretmeninizin yönlendirmesine göre temin ediniz. ➤ Yarım toplayıcı devresiyle ilgili bilgilerinizi gözden geçirin. ➤ Malzemelerin sağlamlığını kontrol ediniz.
<ul style="list-style-type: none"> ➤ Devreyi breadboard üzerine kurunuz. 	<ul style="list-style-type: none"> ➤ Elemanların breadboard içerisine tam olarak yerleştiğinden emin olun. ➤ Bağlantı iletkenlerini değişik renklerde kullanmanız, devre takibi açısından size kolaylık sağlar.
<ul style="list-style-type: none"> ➤ Devreyi çalıştırınız. 	<ul style="list-style-type: none"> ➤ Öğretmeninize kontrol ettirmeden devreye enerji uygulamayınız. ➤ Entegrelere besleme gerilimi uygulamayı unutmayınız.
<ul style="list-style-type: none"> ➤ A ve B anahtarlarını tabloda verilen değerlere göre değiştirerek devreye uygulayınız. Çıkışlardaki ledlerin durumlarını gözleyiniz. 	<ul style="list-style-type: none"> ➤ Yarım toplayıcı doğruluk tablosunu doldurunuz. Bulduğunuz sonuçları doğruluk tablosuyla karşılaştırınız. Farklılık varsa devre bağlantınızı kontrol ediniz.
<ul style="list-style-type: none"> ➤ Enerjiyi kestikten sonra devre bağlantılarını sökünüz. Elde ettiğiniz sonuçları arkadaşlarınızla tartışarak değerlendirme testi sonuçları ile birlikte öğretmeninize rapor ediniz. 	<ul style="list-style-type: none"> ➤ Ölçüm sonuçlarını arkadaşlarınızla karşılaştırınız. ➤ Kullandığınız malzemeleri tam ve sağlam olarak teslim ediniz.

KONTROL LİSTESİ

Bu öğrenme faaliyeti kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadığınız beceriler için **Hayır** kutucuğuna (X) işareti koyarak kendinizi değerlendiriniz.

Değerlendirme Ölçütleri		Evet	Hayır
1	Boolean kuralları ve teoremlerini biliyor musunuz?		
2	Boolean kuralları ve teoremlerini kullanarak işlemleri basitleştirebiliyor musunuz?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise “Ölçme ve Değerlendirme”ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1. $Y=A.(A.B+C)$ denkleminin Boolean kurallarına göre en sade hâli aşağıdakilerden hangisidir?
 - A) $A.(B+C)$
 - B) $(A.B)+C$
 - C) $(A.B+C)$
 - D) $\bar{A}.(B+C)$
2. $Y=\bar{A}.B+A+A.B$ denkleminin Boolean kurallarına göre en sade hâli aşağıdakilerden hangisidir?
 - A) $\bar{A}.B$
 - B) $A.B$
 - C) $A+B$
 - D) $A.\bar{B}$
3. $Y=\overline{B+A.C}$ denkleminin Boolean kurallarına göre en sade hâli aşağıdakilerden hangisidir?
 $\bar{B}(\bar{A}+\bar{C})$
 - A) $B(\bar{A}+\bar{C})$
 - B) $\bar{B}(\bar{A}+\bar{C})$
 - C) $B(A+C)$
4. $Y=\overline{\bar{A}.B+A.\bar{B}}$ denkleminin Boolean kurallarına göre en sade hâli aşağıdakilerden hangisidir?
 - A) $A.B+A.\bar{B}$
 - B) $\bar{A}.B+A.\bar{B}$
 - C) $A.B+A.\bar{B}$
 - D) $A.\bar{B}+A.B$

5. $Y = \overline{A}.B.C + \overline{A}.B.\overline{C} + A.C$ denkleminin Boolean kurallarına göre en sade hâli aşağıdakilerden hangisidir?

A) $\overline{A}.B + \overline{A.C}$

B) $\overline{A}.B + A.\overline{B}$

C) $A + \overline{A} + \overline{A.B}$

D) $\overline{A}.B + AC$

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki öğrenme faaliyetine geçiniz.

ÖĞRENME FAALİYETİ-2

AMAÇ

Karnough haritalarını kullanarak lojik ifadeleri sadeleştirebileceksiniz.

ARAŞTIRMA

- 2,3,4 değişkenli Karnough haritalarını araştırınız. Araştırma işlemleri için internetten veya öğretmeninizin vereceği kaynaklardan faydalanabilirsiniz.

2. KARNOUGH (KARNO) HARİTALARI İLE LOJİK İFADELERİN SADELEŞTİRİLMESİ

2.1. Karnough Haritalarının Kuralları

Bir önceki öğrenme faaliyetinde lojik ifadelerin Boolean matematiği kullanılarak sadeleştirilmelerini incelemiştik. Ancak özellikle çok terimli ve çok değişkenli ifadelerin sadeleştirilmesinde Boolean matematiği kullanmak oldukça zor ve karışık bir süreçtir. Bunun yerine daha pratik sadeleştirme yöntemleri geliştirilmiştir.

Bu yöntemlerden en yaygın olarak kullanılanı Karnaugh Haritası yöntemidir. Karnaugh (karno) Haritası Yöntemi sadeleştirme işleminin yanında devre tasarımında da kullanılır. Karnaugh haritaları ile her türlü sayısal devre tasarımını yapmak çok kolay ve sağlıklı olmaktadır.

Karnaugh haritaları, sadeleştirilecek ifadedeki değişken sayısına göre adlandırılır. Örneğin sadeleştirilecek lojik ifadede A ve B olmak üzere iki değişken varsa bu sadeleştirme işleminde iki değişkenli Karnaugh haritası kullanılır. Lojik ifadede A,B ve C olmak üzere üç değişken varsa bu defa üç değişkenli Karnaugh haritası kullanılır.

Karnaugh haritasındaki karelere kutu denilmektedir. Bir lojik ifadeyi sadeleştirecek Karnaugh haritasındaki kutu sayısı lojik ifadedeki değişken sayısına bağlıdır ve $(2)^n$ formülüyle bulunur. Bu formüldeki n, değişken sayısıdır. Buna göre iki değişkenli Karnaugh haritasında $(2)^2 = 4$ kutu bulunur. Aynı formüle göre üç değişkenli Karnaugh haritasında $(2)^3 = 8$ kutu, dört değişkenli Karnaugh haritasında ise $(2)^4 = 16$ kutu bulunur.

2.2. Karnaugh Haritaları

Bu bölümde iki, üç ve dört değişkenli Karnaugh haritaları incelenecektir.

2.2.1. İki Değişkenli Karnaugh Haritaları

İki değişkenli lojik ifadelerin sadeleştirilmesinde iki değişkenli Karnaugh haritaları kullanılır. Şekil 2.1’de iki değişkenli (dört kutulu) Karnaugh haritası görülmektedir.

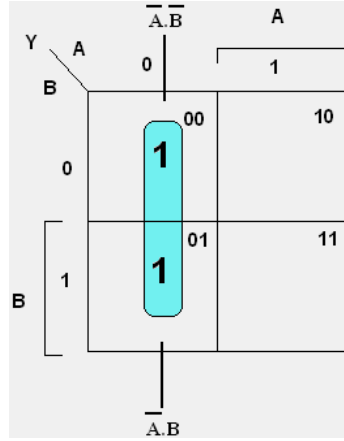
Y		A	
		0	1
B	0	00 0	10 2
	1	01 1	11 3

Şekil 2.1: İki değişkenli Karnaugh haritası

Şekil 2.1’deki dört kutulu Karnaugh haritasında 0 nu.lı kutuda A ve B değişkenleri 0 değerini almıştır. Dolayısıyla bu kutu 00 değerine yani $\overline{A}.\overline{B}$ terimine karşılık gelir. 1 nu.lı kutuda A değişkeni 0,B değişkeni 1 değerini almıştır. Bu kutu 01 değerine yani $\overline{A}.B$ terimine karşılık gelir. 2 nu.lı kutuda A değişkeni 1,B değişkeni 0 değerini almıştır. Bu kutu 10 değerine yani $A.\overline{B}$ terimine karşılık gelir. 3 nu.lı kutuda A değişkeni 1,B değişkeni 1 değerini almıştır. Bu kutu 11 değerine yani AB terimine karşılık gelir. Kutu içerisindeki binary rakamların ilki A değişkenine, ikincisi B değişkenine aittir. A değişkeninin 1 olduğu kutular A’nın bölgesi (yani 2 ve 3 nu.lı kutular), B değişkeninin 1 olduğu kutular ise B’nin bölgesi (yani 1 ve 3 nu.lı kutular) olarak adlandırılır.

İki değişkenli her terim için Karnaugh haritasında bir kutu bulunmaktadır. Sadeleştirilecek lojik ifadeye bulunan her terimin Karnaugh haritasındaki yerine 1 sayısı yazılır.

Örnek olarak $Y = \overline{A}.\overline{B} + \overline{A}.B$ ifadesini Karnaugh haritasına aktaralım.



Şekil 2.2: $Y = A.B + \overline{A.B}$ ifadesinin Karnaugh haritasına aktarılması

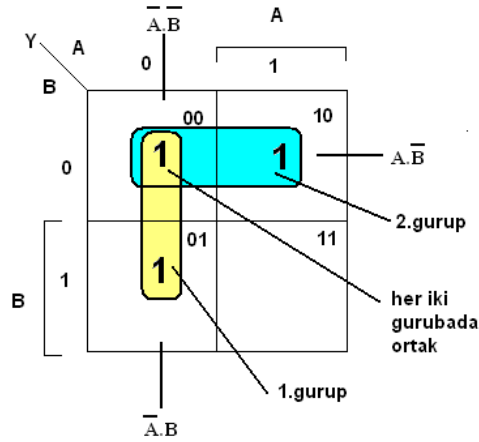
$Y = A.B + \overline{A.B}$ İfadesinde bulunan $\overline{A.B}$ teriminin karşılığı olan sol en üst kutuya (00 binary sayılarının bulunduğu kutu) 1 yazılır. $A.B$ teriminin karşılığı da sol alt kutudur (01 binary sayılarının bulunduğu kutu) ve bu kutuya da 1 yazılır. Böylece lojik ifade Karnaugh haritasına aktarılmış olur. Bu aşamada yapılması gereken işlemler şunlardır:

- İçinde 1 olan kutular komşu gruplara ayrılır. Kutuların birbirine komşu olabilmesi için alt alta, üst üste veya yan yana olması gerekir. Çapraz kutular komşu olarak alınamaz. Ayrıca harita ortadan ikiye katlandığında üst üste gelen dış kutularda komşu olarak kabul edilir (Üç değişkenli ve dört değişkenli Karnaugh haritalarında bu durumu daha iyi anlayacaksınız.).
- İçinde 1 olan komşu gruplar 2'nin katları olacak şekilde çember içine alınır. Yani 1 tane, 2 tane, 4 tane, 8 tane, 16 tane gibi. 3 tane veya 5 tane gibi 1'ler komşu grup olarak alınamaz. Burada mümkün olan en çok komşu 1'ler 2'nin katları sayısı kadar olacak şekilde çember içerisine alınmalıdır. Bu işlem açıkta 1 kalmayana kadar devam ettirilir.
- Komşu gruplar seçilip çember içerisine alındıktan sonra bu grupların değişken bölgelerine girip girmediklerine bakılır. Seçilen grubun tamamının bir değişken bölgesine girmesi ya da hiçbirinin bir değişken bölgesine girmemesi durumu göz önüne alınır. Seçilen grubun tamamı herhangi bir değişken bölgesine giriyorsa o değişkenin kendisi, seçilen grubun tamamı herhangi bir değişken bölgesine girmiyorsa o değişkenin değili (tersi) yazılır. Seçilen grubun bir kısmı herhangi bir değişken bölgesine giriyor bir kısmı girmiyor ise o değişken göz önüne alınmaz. Değişken isimleri yazılırken çarpımlar şeklinde yazılır.
- Her çemberin terimi ayrı ayrı çarpımlar şeklinde yazıldıktan sonra aralarına + işareti konur. Böylece lojik ifadenin sadeleştirilmiş biçimi ortaya çıkar.
- Eğer Karnaugh haritalarındaki bütün kutular 1 ise o lojik ifade 1'e eşittir. Ya da bunun tersi Karnaugh haritalarındaki kutularda hiç 1 yoksa o lojik ifade 0'a eşittir.

Şekil 2.2'deki örnekte seçilen grubun bir kısmı B bölgesinde bir kısmı B bölgesinin dışında olduğu için B değişkeni göz önüne alınmaz. Bu grubun tamamı A bölgesinin dışında olduğu için $Y=\overline{A}$ ifadesi yazılır.

Herhangi bir çember içine alınan bir kutu diğer bir çemberde de kullanılabilir. Buna göre bir kutu birden fazla çemberde yer alabilir.

Örnek: $Y=\overline{A}\overline{B} + A\overline{B} + \overline{A}B$ ifadesini Karnaugh haritasıyla sadeleştirelim.



Şekil 2.3: $Y=\overline{A}\overline{B} + A\overline{B} + \overline{A}B$ ifadesinin Karnaugh haritasına aktarılması

Şekil 2.3'te görülen Karnaugh haritasında iki çember yani iki komşu grup oluşturulmuştur. Böylece bu haritada bulunan bütün 1'ler çember içine alınmıştır. Dikkat edilirse 00 kutusunda bulunan 1 her iki guruba da ortak alınmıştır.

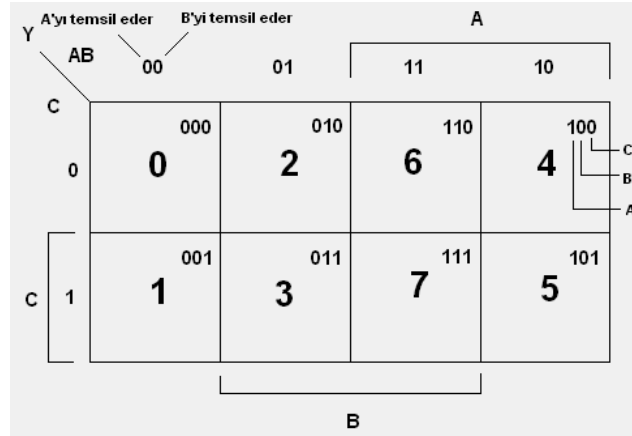
1. grubun tamamı A bölgesinin dışındadır. B bölgesine ise bir kısmı girmekte bir kısmı girmemektedir. Dolayısıyla B bölgesi göz önüne alınmaz. Grubun tamamı A bölgesinin dışında olduğundan 1. grup için \overline{A} ifadesi yazılır.

2. grubun tamamı B bölgesinin dışındadır. A bölgesine ise bir kısmı girmekte bir kısmı girmemektedir. Dolayısıyla A bölgesi göz önüne alınmaz. Grubun tamamı B bölgesinin dışında olduğundan 2. grup için \overline{B} ifadesi yazılır. Her iki grubun ifadeleri toplandığında lojik ifade sadeleştirilmiş olur.

$$Y=\overline{A}+\overline{B}$$

2.2.2. Üç Değişkenli Karnaugh Haritaları

Üç değişkenli lojik ifadelerin sadeleştirilmesinde üç değişkenli Karnaugh haritaları kullanılır. Üç değişkenli Karnaugh haritasında $2^3=8$ kutu kullanılır. Şekil 2.4'te üç değişkenli Karnaugh haritası görülmektedir.



Şekil 2.4: Üç değişkenli Karnaugh haritası

Burada her kutu üç değişkenli bir terime karşılık gelir. Üst kısımda 00-01-11-10 şeklinde sıralanmış binary rakamlar A ve B değişkenlerini temsil eder. Birinci rakamlar A değişkenini, ikinci rakamlar B değişkenini gösterir. Birinci rakamları 1 olan kutular A değişkeninin bölgesini ifade eder. Yani 4-5-6-7 nu.lı kutular A değişkeninin bölgesidir. İkinci rakamları 1 olan kutular B değişkeninin bölgesini ifade eder. Yani 2-3-6-7 nu.lı kutular B değişkeninin bölgesidir.

Sol taraftaki 0-1 rakamları C değişkenini temsil eder. C'nin 1 olduğu kutularda C değişkeninin bölgesini ifade eder. Yani 1-3-5-7 nu.lı kutular C değişkeninin bölgesidir.

Kutular içerisindeki üç bitlik binary sayılarda A,B,C değişkenlerini ifade eder. 1. rakamlar A değişkenini, 2. rakamlar B değişkenini ve 3. rakamlar ise C değişkenini temsil eder.

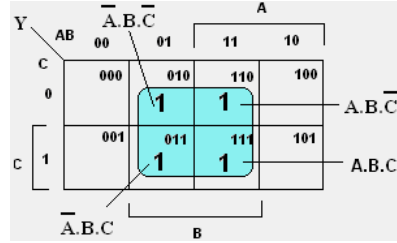
Örneğin $\overline{A.B.C}$ ifadesi 2 nu.lı kutuyu temsil eder (Değişkenin kendisi ise 1 tersi ise 0 konularak bulunabilir. \overline{A} , değişkenin tersi olduğu için 0; B değişkenin kendisi olduğu için 1; \overline{C} , değişkenin tersi olduğu için 0 konulursa 010 elde edilir. Bu da 2 nu.lı kutuya karşılık gelir.).

Aynı şekilde $\overline{A.B.C}$ ifadesi (yani 101) 5 nu.lı kutuyu temsil eder. Böylece her kutunun hangi terime ait olduğunu bulabiliriz.

Sadeleştirme işleminde, önce lojik ifadede yer alan terimlere ait kutulara 1 yazılır. İçinde 1 bulunan kutular 8'li, 4'lü, 2'li veya 1'li çemberler içine alınır. Öncelikle 8'li çemberler denenmeli, olmadığı takdirde kademeli olarak diğer alternatiflere geçilmelidir.

Açıkta 1 bırakılmamalıdır. Son olarak her grup değişken bölgeleri cinsinden ifade edilir ve aralarına + işareti konarak sadeleştirilmiş lojik ifade bulunur.

$$Y = \overline{A}.B.C + \overline{A}.B.\overline{C} + A.B.\overline{C} + A.B.C \text{ lojik ifadesini sadeleştirelim.}$$

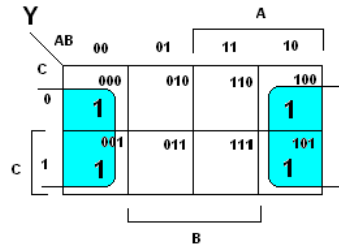


Şekil 2.5: $Y = \overline{A}.B.C + \overline{A}.B.\overline{C} + A.B.\overline{C} + A.B.C$ ifadesinin Karnaugh haritasına aktarılması

Şekil 2.5'teki gibi 1 bulunan kutular dördlü çember içine alınmış ve dışarıda 1 kalmamıştır. Dördlü grubun iki tanesi A bölgesine girmekte, iki tanesi ise girmemektedir. Dolayısıyla A değişkeni göz önüne alınmayacaktır. Aynı şekilde dördlü grubun iki tanesi C bölgesine girmekte, iki tanesi ise girmemektedir. C değişkeni göz önüne alınmayacaktır. Dördlü grubun tamamı sadece B değişken bölgesinde bulunmaktadır. Bu yüzden sadece B değişkeni alınabilir. Sonuç olarak sadeleşmiş ifade $Y=B$ olmaktadır.

Örnek: $Y = \overline{A}.B.C + \overline{A}.B.\overline{C} + A.B.\overline{C} + A.B.C$ lojik ifadesini Karnaugh haritası kullanarak sadeleştiriniz.

Çözüm: Lojik ifadedeki terimler Karnaugh haritasına aktarılır ve 1 yazılı kutular çember içine alınır.

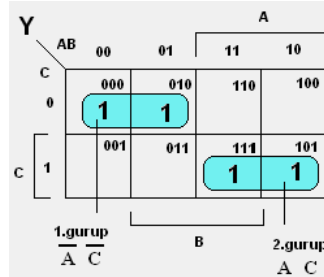


Şekil 2.6: $Y = \overline{A}.B.C + \overline{A}.B.\overline{C} + A.B.\overline{C} + A.B.C$ lojik ifadesinin Karnaugh haritasına yerleştirilmesi

Şekil 2.6'da görüleceği gibi harita ikiye katlandığında dışta kalan kutular üst üste geleceği için komşu sayılır. Dolayısıyla 4'lü grup oluşturur. Dördlü grubun tamamı B değişken bölgesinin dışında olduğu için burada sadece B değişkeni göz önüne alınır. A ve C değişkenleri ise dikkate alınmaz. Dördlü grubun tamamı B değişken bölgesinin dışında olduğu için değişkenin tersi alınır. Yani sadeleştirilmiş ifade $Y = \overline{B}$ 'dir.

Örnek: $Y = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + A\overline{B}C + A\overline{B}\overline{C}$ lojik ifadesini Karnaugh haritası kullanarak sadeleştiriniz.

Çözüm: Lojik ifadedeki terimler Karnaugh haritasına aktarılır ve 1 yazılı kutular çember içine alınır.



Şekil 2.7: $Y = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + A\overline{B}C + A\overline{B}\overline{C}$ lojik ifadesinin Karnaugh haritasına yerleştirilmesi

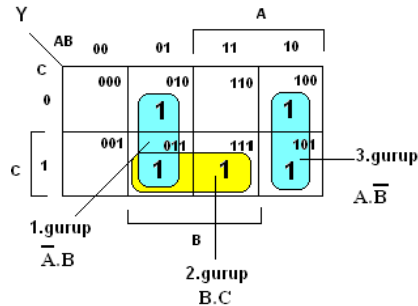
Şekil 2.7'den de görülebileceği gibi iki tane ikili grup oluşturulmuştur. 1. grubun tamamı A ve C değişken bölgelerinin dışında olduğu için sadece A ve C değişkenleri dikkate alınır. B değişkeni dikkate alınmaz. 1. grup için $\overline{A}\overline{C}$ ifadesi yazılır.

2. grubun tamamı A ve C değişken bölgelerinin içinde olduğu için burada da sadece A ve C değişkenleri dikkate alınır, B değişkeni dikkate alınmaz. 2. grup için ise AC ifadesi yazılır. Sonuç olarak bu iki ifade toplanarak sadeleştirilmiş lojik ifade bulunur.

$$Y = \overline{A}\overline{C} + A\overline{C}$$

Örnek: $Y = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + A\overline{B}C + A\overline{B}\overline{C} + A\overline{B}C$ lojik ifadesini Karnaugh haritası kullanarak sadeleştiriniz.

Çözüm: Lojik ifadedeki terimler Karnaugh haritasına aktarılır ve 1 yazılı kutular çember içine alınır.



Şekil 2.8: $Y = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + A\overline{B}C + A\overline{B}\overline{C} + A\overline{B}C$ lojik ifadesinin Karnaugh haritasına yerleştirilmesi

Şekil 2.8'e dikkat edilirse 3 adet ikili grup oluşturulmuştur. 2. gruptaki (111) kutusundaki 1, sol taraftaki (011) kutusundaki 1 ile komşu alınmıştır. (111) kutusundaki bu 1 sağ taraftaki (101) kutusundaki 1 ile de komşu alınabilir. Her iki durum da doğrudur.

1. grubun tamamı A değişken bölgesinin dışında, B değişken bölgesinin içindedir. Dolayısıyla $\overline{A}.B$ yazılır.

2. grubun tamamı B ve C değişken bölgesinin içinde olduğu için B.C yazılır.

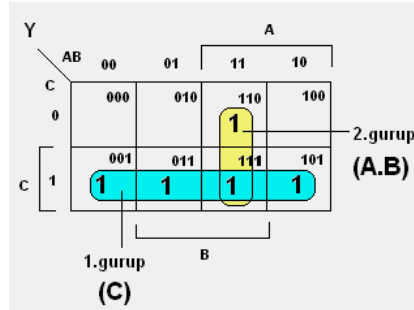
3. grubun tamamı A değişken bölgesinin içinde B değişken bölgesinin dışındadır. Burada da $A.\overline{B}$ yazılır. Bu üç ifade toplanarak sadeleştirilmiş lojik ifade bulunur.

$$Y = \overline{A}.B + B.C + A.\overline{B}$$

Örnek: $Y = \overline{A}.\overline{B}.C + \overline{A}.B.C + A.B.C + A.\overline{B}.C + A.B.\overline{C}$ lojik ifadesini Karnaugh haritası kullanarak sadeleştiriniz.

Çözüm: Lojik ifadedeki terimler Karnaugh haritasına aktarılır ve 1 yazılı kutular çember içine alınır. Şekil 2.9'a dikkat edilirse bir adet dörtlü ve bir adet ikili grup oluşturulmuştur. 1. grubun tamamı sadece C değişken bölgesinin içinde olduğu için C yazılır. 2. grubun tamamı A ve B değişken bölgelerinde olduğu için A.B yazılır. Bu iki ifade toplanarak sadeleştirilmiş lojik ifade bulunur.

$$Y = C + A.B$$



Şekil 2.9: $Y = \overline{A}.\overline{B}.C + \overline{A}.B.C + A.B.C + A.\overline{B}.C + A.B.\overline{C}$ lojik ifadesinin Karnaugh haritasına yerleştirilmesi

2.2.3. Dört Değişkenli Karnaugh Haritaları

Dört değişkenli lojik ifadelerin sadeleştirilmesinde dört değişkenli Karnaugh haritaları kullanılır. Dört değişkenli Karnaugh haritasında $2^4=16$ kutu bulunmaktadır. Şekil 2.10'da dört değişkenli Karnaugh haritası görülmektedir.

Şekil 2.10: Dört değişkenli Karnaugh haritası

Burada her kutu dört değişkenli bir terime karşılık gelir. Üst kısımda 00-01-11-10 şeklinde sıralanmış binary rakamlar A ve B değişkenlerini temsil eder. Birinci rakamlar A değişkenini, ikinci rakamlar B değişkenini gösterir. Birinci rakamları 1 olan kutular A değişkeninin bölgesini ifade eder. Yani 8-9-10-11-12-13-14-15 nu.lı kutular A değişkeninin bölgesidir. İkinci rakamları 1 olan kutular B değişkeninin bölgesini ifade eder. Yani 4-5-6-7-12-13-14-15 nu.lı kutular B değişkeninin bölgesidir.

Sol tarafta bulunan 00-01-11-10 şeklinde sıralanmış binary rakamlar C ve D değişkenlerini temsil eder. Birinci rakamlar C değişkenini, ikinci rakamlar D değişkenini gösterir. Birinci rakamları 1 olan kutular C değişkeninin bölgesini ifade eder. Yani 2-3-6-7-10-11-14-15 nu.lı kutular C değişkeninin bölgesidir. İkinci rakamları 1 olan kutular D değişkeninin bölgesini ifade eder. Yani 1-3-5-7-9-11-13-15 nu.lı kutular D değişkeninin bölgesidir.

Kutular içerisindeki dört bitlik binary sayılar da A,B,C,D değişkenlerini ifade eder. 1. rakamlar A değişkenini, 2. rakamlar B değişkenini, 3. rakamlar C değişkenini ve 4. rakamlar ise D değişkenini temsil eder.

Örneğin $\overline{A}.B.\overline{C}.D$ ifadesi 5 nu.lı kutuyu temsil eder (Değişkenin kendisi ise 1 tersi ise 0 konularak bulunabilir. \overline{A} , değişkenin tersi olduğu için 0; B değişkenin kendisi olduğu için 1; \overline{C} , değişkenin tersi olduğu için 0; D değişkeninin kendisi olduğu için 1 konulursa 0101 elde edilir. Bu da 5 nu.lı kutuya karşılık gelir.).

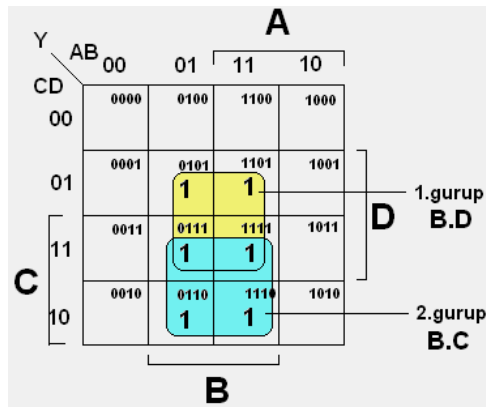
Aynı şekilde $\overline{A}.\overline{B}.C.D$ ifadesi (yani 0011) 3 nu.lı kutuyu temsil eder. Böylece her kutunun hangi terime ait olduğu kolaylıkla bulunabilir.

Sadeleştirme işleminde, önce lojik ifadede yer alan terimlere ait kutulara 1 yazılır. İçinde 1 bulunan kutular 16'lı, 8'li, 4'lü, 2'li veya 1'li çemberler içine alınır. Öncelikle 16'lı çemberler denenmeli, olmadığı takdirde kademeli olarak diğer alternatiflere geçilmelidir. Açıkta 1 bırakılmamalıdır. Son olarak her grup değişken bölgeleri cinsinden ifade edilir ve aralarına + işareti konularak sadeleştirilmiş lojik ifade bulunur.

Örnek: $Y = \bar{A}.B.\bar{C}.D + A.B.\bar{C}.D + \bar{A}.B.C.D + A.B.C.D + \bar{A}.B.C.\bar{D} + A.B.C.\bar{D}$
 lojik ifadesini Karnaugh haritası kullanılarak sadeleştiriniz.

Çözüm: Lojik ifadedeki terimler Karnaugh haritasına aktarılır ve 1 yazılı kutular çember içine alınır. Şekil 2.11'e dikkat edilirse iki adet dörtlü grup oluşturulmuştur. 1. grubun tamamı B ve D değişken bölgelerinde olduğu için B.D yazılır. 2. grubun tamamı B ve C değişken bölgelerinde olduğu için B.C yazılır. Bu iki ifade toplanarak sadeleştirilmiş lojik ifade bulunur.

$$Y = B.D + B.C$$

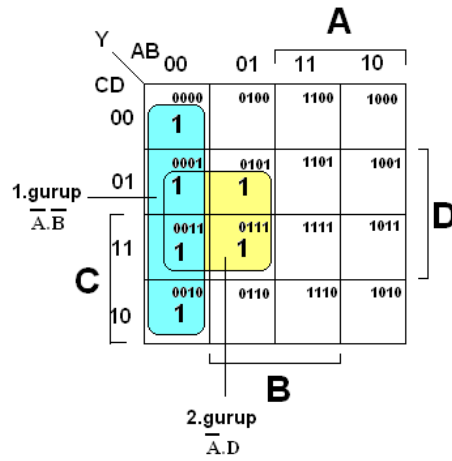


Şekil 2.11: $Y = \bar{A}.B.\bar{C}.D + A.B.\bar{C}.D + \bar{A}.B.C.D + A.B.C.D + \bar{A}.B.C.\bar{D} + A.B.C.\bar{D}$
 lojik ifadesinin Karnaugh haritasına yerleştirilmesi

Örnek: $Y = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D$ lojik ifadesini Karnaugh haritası kullanılarak sadeleştiriniz.

Çözüm: Lojik ifadedeki terimler Karnaugh haritasına aktarılır ve 1 yazılı kutular çember içine alınır. Şekil 2.12'ye dikkat edilirse iki adet dörtlü grup oluşturulmuştur. 1. grubun tamamı A ve B değişken bölgelerinin dışında olduğu için $\overline{A}\overline{B}$ yazılır. 2. grubun tamamı A değişken bölgesinin dışında ve D değişken bölgesinin içinde olduğu için $\overline{A}D$ yazılır. Bu iki ifade toplanarak sadeleştirilmiş lojik ifade bulunur.

$$Y = \overline{A}\overline{B} + \overline{A}D$$

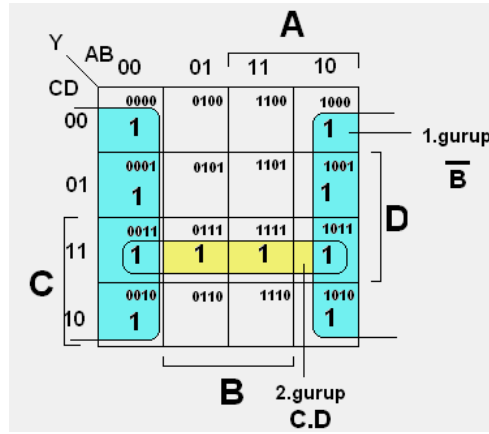


Şekil 2.12: $Y = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D$ lojik ifadesinin Karnaugh haritasına yerleştirilmesi

Örnek: $Y = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}.D + \overline{A}\overline{B}.C\overline{D} + \overline{A}\overline{B}.C.D + A.\overline{B}\overline{C}\overline{D} + A.\overline{B}\overline{C}.D + A.\overline{B}.C\overline{D} + A.\overline{B}.C.D + A.B.\overline{C}\overline{D} + A.B.\overline{C}.D + A.B.C.\overline{D} + A.B.C.D$ lojik ifadesini Karnaugh haritası kullanarak sadeleştiriniz.

Çözüm: Lojik ifadedeki terimler Karnaugh haritasına aktarılır ve 1 yazılı kutular çember içine alınır. Şekil 2.13'e dikkat edilirse bir adet sekizli ve bir adet dörtlü grup oluşturulmuştur. 1. grubun tamamı B değişken bölgesinin dışında olduğu için \overline{B} yazılır. 2. grubun tamamı C ve D değişken bölgelerinin içinde olduğu için C.D yazılır. Bu iki ifade toplanarak sadeleştirilmiş lojik ifade bulunur.

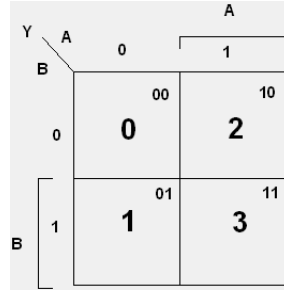
$$Y = \overline{B} + CD$$



Şekil 2.13:

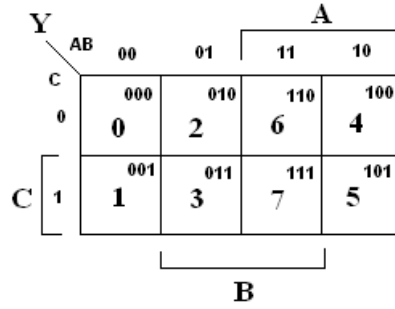
$Y = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}.D + \overline{A}\overline{B}.C\overline{D} + \overline{A}\overline{B}.C.D + A.\overline{B}\overline{C}\overline{D} + A.\overline{B}\overline{C}.D + A.\overline{B}.C\overline{D} + A.\overline{B}.C.D + A.B.\overline{C}\overline{D} + A.B.\overline{C}.D + A.B.C.\overline{D} + A.B.C.D$ lojik ifadesinin Karnaugh haritasına yerleştirilmesi

Karnaugh haritalarındaki kutular sadece lojik ifadelerle değil ihtimal tabloları kullanılarak da doldurulur. İhtimal tabloları hazırlanırken değişken sayısı dikkate alınır. Değişken sayısı n ise ihtimal sayısı 2^n formülüne göre bulunur. 2 değişkenli lojik ifadenin ihtimal sayısı $2^2 = 4$, üç değişkenli lojik ifadenin ihtimal sayısı $2^3 = 8$, dört değişkenli lojik ifadenin ihtimal sayısı $2^4 = 16$ 'dır. Aşağıdaki şekillerde iki, üç ve dört değişkenli Karnaugh haritaları ve ihtimal tabloları verilmiştir.



KUTU NU.	GİRİŞLER		Y ÇIKIŞ	LOJİK İFADESİ
	A	B		
0	0	0		$\overline{A}.\overline{B}$
1	0	1		$\overline{A}.B$
2	1	0		$A.\overline{B}$
3	1	1		$A.B$

Şekil 2.14: İki değişkenli Karnaugh haritası ve ihtimal tablosu



KUTU NU.	GİRİŞLER			Y ÇIKIŞ	LOJİK İFADESİ
	A	B	C		
0	0	0	0		$\overline{A}.\overline{B}.\overline{C}$
1	0	0	1		$\overline{A}.\overline{B}.C$
2	0	1	0		$\overline{A}.B.\overline{C}$
3	0	1	1		$\overline{A}.B.C$
4	1	0	0		$A.\overline{B}.\overline{C}$
5	1	0	1		$A.\overline{B}.C$
6	1	1	0		$A.B.\overline{C}$
7	1	1	1		$A.B.C$

Şekil 2.1: Üç değişkenli Karnaugh haritası ve ihtimal tablosu

Y		A				
		AB	00	01	11	10
C	D	00	0000 0	0100 4	1100 12	1000 8
		01	0001 1	0101 5	1101 13	1001 9
	11	0011 3	0111 7	1111 15	1011 11	
		10	0010 2	0110 6	1110 14	1010 10
		B				

KUTU NU.	GİRİŞLER				Y ÇIKIŞ	LOJİK İFADESİ
	A	B	C	D		
0	0	0	0	0		$\overline{A}\overline{B}\overline{C}\overline{D}$
1	0	0	0	1		$\overline{A}\overline{B}\overline{C}D$
2	0	0	1	0		$\overline{A}\overline{B}C\overline{D}$
3	0	0	1	1		$\overline{A}\overline{B}CD$
4	0	1	0	0		$\overline{A}B\overline{C}\overline{D}$
5	0	1	0	1		$\overline{A}B\overline{C}D$
6	0	1	1	0		$\overline{A}BC\overline{D}$
7	0	1	1	1		$\overline{A}BCD$
8	1	0	0	0		$A\overline{B}\overline{C}\overline{D}$
9	1	0	0	1		$A\overline{B}\overline{C}D$
10	1	0	1	0		$A\overline{B}C\overline{D}$
11	1	0	1	1		$A\overline{B}CD$
12	1	1	0	0		$AB\overline{C}\overline{D}$
13	1	1	0	1		$AB\overline{C}D$
14	1	1	1	0		$ABC\overline{D}$
15	1	1	1	1		$ABCD$

Şekil 2.16: Dört değişkenli Karnaugh haritası ve ihtimal tablosu

Şekil 2.14, 2.15 ve 2.16'ya dikkat edilirse girişleri temsil eden ikilik (binary) sayılar kutu numaralarının onluk (decimal) karşılığıdır.

İhtimal tablolarında, çıkışta 1 olan yerler Karnaugh haritasına aktarılır. Çıkışta 0 olan yerler dikkate alınmaz.

Örnek: Şekil 2.17'deki ihtimal tablosuna göre lojik ifadeyi yazınız. Lojik ifadeyi Karnaugh haritasına aktararak sadeleştiriniz.

Çözüm: İhtimal tablosuna göre lojik ifade yazılırken sadece çıkışta 1 olan yerlere bakılır. Çıkışta 1 olan yerlerin girişleri 1 ise değişkenin kendisi, girişleri 0 ise değişkenin tersi çarpımlar şeklinde yazılır. Çıkışta birden fazla 1 değeri varsa bunlar da kendi aralarında toplanarak lojik ifade bulunur. Şekil 2.17'deki ihtimal tablosunda bu kurala göre çıkışta 1 olan yerlerin lojik ifadeleri yazılmıştır. Bu tabloya göre çıkışın lojik ifadesi;

KUTU NU.	GİRİŞLER			Y ÇIKIŞ	LOJİK İFADESİ
	A	B	C		
0	0	0	0	0	
1	0	0	1	1	$\overline{A}.\overline{B}.C$
2	0	1	0	1	$\overline{A}.B.\overline{C}$
3	0	1	1	0	
4	1	0	0	1	$A.\overline{B}.\overline{C}$
5	1	0	1	1	$A.\overline{B}.C$
6	1	1	0	1	$A.B.\overline{C}$
7	1	1	1	0	

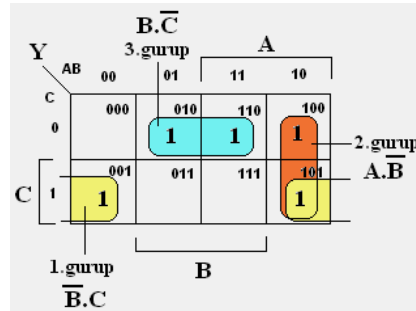
Şekil 2.17: İhtimal tablosu

$$Y = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.\overline{B}.\overline{C} + A.\overline{B}.C + A.B.\overline{C} \text{ 'dir.}$$

Bazı durumlarda lojik ifade lojik fonksiyon şeklinde de verilebilir. Bu lojik ifade lojik fonksiyon şeklinde aşağıdaki gibi yazılır.

$$Y(A,B,C) = (1,2,4,5,6)$$

Burada Y; çıkışı, A,B,C ise girişleri ifade eder. Eşitliğin sağ tarafındaki parantez içerisindeki 1,2,4,5,6 rakamları da hangi durumlarda çıkışın 1 olduğunu gösterir. Bu rakamlar aynı zamanda Karnaugh haritasındaki ilgili kutu numaralarıdır. Dolayısıyla Karnaugh haritasındaki bu numaraların kutularına 1 yazılır. Şekil 2.18'de lojik ifadenin Karnaugh haritasına aktarılması gösterilmiştir.



Şekil 2.18: $Y = \overline{A}.\overline{B}.C + \overline{A}.B.\overline{C} + A.\overline{B}.\overline{C} + A.\overline{B}.C + A.B.\overline{C}$ lojik ifadesinin veya

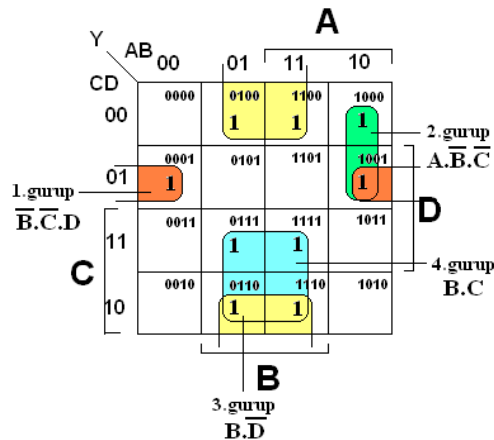
$Y(A,B,C) = (1,2,4,5,6)$ lojik fonksiyonun Karnaugh haritasına aktarılması

Şekil 2.18’de görüleceği gibi üç adet ikili grup oluşturulmuştur. Bu gruptaki ifadeler toplamlar şeklinde yazılırsa lojik ifadenin sadeleştirilmiş şekli bulunmuş olur. Lojik ifadenin sadeleştirilmiş şekli $Y = \overline{B}.C + A.\overline{B} + B.\overline{C}$ ’dir.

Örnek: $Y(A,B,C,D)=(1,4,6,7,8,9,12,14,15)$ lojik fonksiyonunun ihtimal tablosunu hazırlayınız. Karnaugh haritası kullanarak sadeleştiriniz.

Çözüm: Burada değişken sayısı dört olduğu için dört değişkenli ihtimal tablosu ve Karnaugh haritası kullanılacaktır.

KUTU NU.	GİRİŞLER				Y ÇIKIŞ	LOJİK İFADESİ
	A	B	C	D		
0	0	0	0	0	0	
1	0	0	0	1	1	$\overline{A}.\overline{B}.\overline{C}.D$
2	0	0	1	0	0	
3	0	0	1	1	0	
4	0	1	0	0	1	$\overline{A}.B.\overline{C}.\overline{D}$
5	0	1	0	1	0	
6	0	1	1	0	1	$\overline{A}.B.C.\overline{D}$
7	0	1	1	1	1	$\overline{A}.B.C.D$
8	1	0	0	0	1	$A.\overline{B}.\overline{C}.\overline{D}$
9	1	0	0	1	1	$A.\overline{B}.\overline{C}.D$
10	1	0	1	0	0	
11	1	0	1	1	0	
12	1	1	0	0	1	$A.B.\overline{C}.\overline{D}$
13	1	1	0	1	0	
14	1	1	1	0	1	$A.B.C.\overline{D}$
15	1	1	1	1	1	$A.B.C.D$



Şekil 2.19: $Y(A,B,C,D)=(1,4,6,7,8,9,12,14,15)$ lojik fonksiyonunun ihtimal tablosu ve Karnaugh haritasına yerleştirilmesi

Karnaugh haritasındaki gruplamaya göre lojik fonksiyonun ifadesi

$$Y = \overline{B}.\overline{C}.D + A.\overline{B}.\overline{C} + B.\overline{D} + B.C \text{ 'dir.}$$

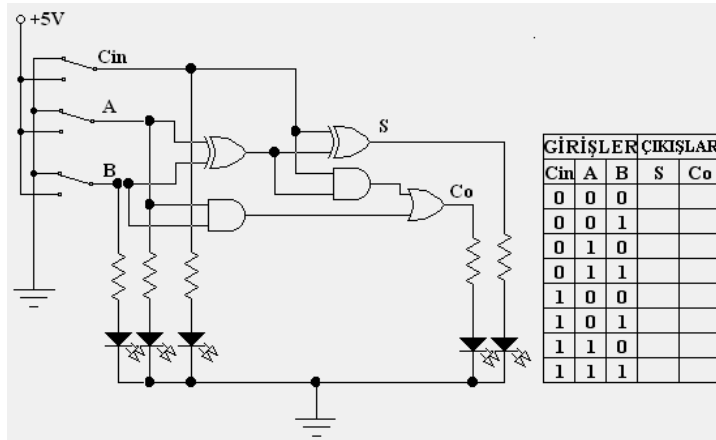
UYGULAMA FAALİYETİ

Tam toplayıcı devresini gerçekleştiriniz.

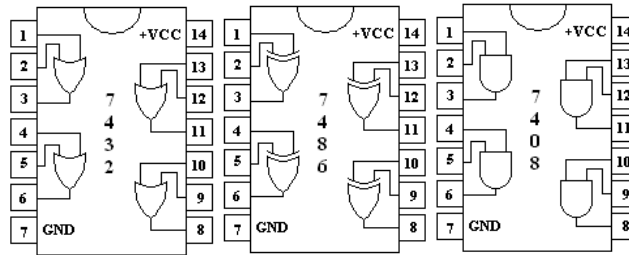
Şekildeki tam toplayıcı devresini breadboard üzerinde, verilen işlem basamaklarına uygun şekilde gerçekleştiriniz.

Malzeme listesi:

- 1 adet 7408-7432-7486 entegre
- 5 adet 330 ohm direnç
- 3 adet iki konumlu anahtar
- 5 adet led
- 5V DC güç kaynağı
- Bağlantı iletkenleri



Tam toplayıcı uygulama devresi ve doğruluk tablosu



Denyde kullanılacak entegrelerin ayak bağlantıları

İşlem Basamakları	Öneriler
<ul style="list-style-type: none"> ➤ Çalışma ortamınızı hazırlayınız. 	<ul style="list-style-type: none"> ➤ İş önlüğünüzü giyiniz. ➤ Çalışma masanızı düzenleyiniz. ➤ Çalıştığınız deney masasının üzerinde deney ile ilgisi olmayan araç gereç ve malzemeyi kaldırınız.
<ul style="list-style-type: none"> ➤ Şekildeki devrenin malzemelerini temin ediniz. 	<ul style="list-style-type: none"> ➤ Malzemeleri öğretmeninizin yönlendirmesine göre temin ediniz. ➤ Tam toplayıcı devresiyle ilgili bilgilerinizi gözden geçiriniz. ➤ Malzemelerin sağlamlığını kontrol ediniz.
<ul style="list-style-type: none"> ➤ Devreyi breadboard üzerine kurunuz. 	<ul style="list-style-type: none"> ➤ Elemanları breadboard içerisine tam olarak yerleştirdiğinden emin olunuz. ➤ Bağlantı iletkenlerini değişik renklerde kullanmanız, devre takibi açısından size kolaylık sağlar.
<ul style="list-style-type: none"> ➤ Devreyi çalıştırınız. 	<ul style="list-style-type: none"> ➤ Öğretmeninize kontrol ettirmeden devreye enerji uygulamayınız. ➤ Entegrelere besleme gerilimi uygulamayı unutmayınız.
<ul style="list-style-type: none"> ➤ A,B ve C'nin anahtarlarını tabloda verilen değerlere göre değiştirerek devreye uygulayınız. Çıkışlardaki ledlerin durumlarını gözleyiniz. 	<ul style="list-style-type: none"> ➤ Tam toplayıcı doğruluk tablosunu doldurunuz. Bulduğunuz sonuçları doğruluk tablosuyla karşılaştırınız. Farklılık varsa devre bağlantınızı kontrol ediniz.
<ul style="list-style-type: none"> ➤ Enerjiyi kestikten sonra devre bağlantılarını sökünüz. Elde ettiğiniz sonuçları arkadaşlarınızla tartışarak değerlendirme testi sonuçları ile birlikte öğretmeninize rapor ediniz. 	<ul style="list-style-type: none"> ➤ Ölçüm sonuçlarını arkadaşlarınızla karşılaştırınız. Kullandığınız malzemeleri tam ve sağlam olarak teslim ediniz.

KONTROL LİSTESİ

Bu öğrenme faaliyeti kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadığınız beceriler için **Hayır** kutucuğuna (X) işareti koyarak kendinizi değerlendiriniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Karnaugh haritaları kurallarını biliyor musunuz?		
2. İki değişkenli Karnaugh haritası mantığını biliyor musunuz?		
3. Üç değişkenli Karnaugh haritası mantığını biliyor musunuz?		
4. Dört değişkenli Karnaugh haritası mantığını biliyor musunuz?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise “Ölçme ve Değerlendirme”ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1. Bir Karnaugh haritasındaki tüm kutularda 1 değeri varsa sonuçta hangi lojik ifade elde edilir?
A) 0
B) 1
C) A
D) A.B

2. $Y = \overline{A}.\overline{B}.\overline{C} + \overline{A}.B.\overline{C} + \overline{A}.\overline{B}.C + A.\overline{B}.\overline{C} + A.B.C$ lojik ifadesinin Karnaugh haritası kullanarak en sade hâli aşağıdakilerden hangisidir?

A) $\overline{A}.B + B.C + B.C$

B) $\overline{A}.B + B.C + B.C$

C) $\overline{A}.B + B.C + B.C$

D) $\overline{A}.B + B.C + B.C$

3. $Y = \overline{A}.\overline{B}.\overline{C}.\overline{D} + \overline{A}.\overline{B}.\overline{C}.D + A.\overline{B}.\overline{C}.\overline{D} + A.\overline{B}.\overline{C}.D + A.B.\overline{C}.\overline{D} + A.B.C.\overline{D} + A.B.C.D$ lojik ifadesinin Karnaugh haritası kullanarak elde edilen en sade hâli aşağıdakilerden hangisidir?

A) $\overline{A}.B.C + A.C.D + A.C.D + A.B.C$

B) $\overline{A}.B.C + A.C.D + A.C.D + A.B.C$

C) $\overline{A}.B.C + A.C.D + A.C.D + A.B.C$

D) $\overline{A}.B.C + A.C.D + A.C.D + A.B.C$

4. $Y(A,B,C) = (0,2,3,5,6)$ lojik fonksiyonun Karnaugh haritası kullanarak edilen en sade hâli aşağıdakilerden hangisidir?

A) $\overline{A}.\overline{C} + \overline{A}B + BC + ABC$

B) $A.\overline{C} + A\overline{B} + BC + ABC$

C) $\overline{A}.\overline{C} + \overline{A}B + BC + ABC$

D) $A.\overline{C} + A\overline{B} + BC + ABC$

5. Aşağıda verilen ihtimal tablosuna göre Karnaugh haritası kullanarak lojik ifadeyi sadeleştiriniz.

GİRİŞLER				Y ÇIKIŞ
A	B	C	D	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

A) $\bar{A}\bar{B}\bar{C} + \bar{A}CD$

B) $\bar{A}BC + \bar{A}CD + BD$

C) $ABC + A\bar{C}D + BD + ABC$ D) $\bar{A}B\bar{C} + \bar{A}\bar{C}D + BD + ABC + AD$

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki öğrenme faaliyetine geçiniz.

ÖĞRENME FAALİYETİ-3

AMAÇ

Lojik diyagram tasarımını tekniğine uygun olarak yapabileceksiniz.

ARAŞTIRMA

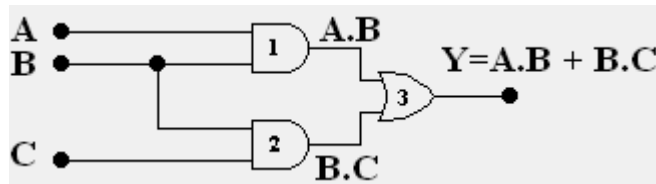
- Lojik ifadeleri ve lojik devreleri inceleyiniz. Lojik ifadelerle lojik kapılar arasındaki ilişkiyi araştırınız. Elde ettiğiniz bilgileri arkadaşlarınızla tartışınız.

3. LOJİK DİYAGRAMLARIN TASARIMI

Lojik devrelerin tasarlanmasında iki yöntem söz konusudur. Bu yöntemlerden birincisi “çarpımların toplamı”, ikincisi ise “toplamların çarpımı” olarak adlandırılır. Burada “çarpımların toplamı-sum of products” yöntemini izleyeceğiz.

Çarpımların toplamı yönteminde, lojik ifadedeki terimler, içeriklerine göre VE, VE DEĞİL, DEĞİL gibi kapılarla işlenir. Bu kapıların çıkışları, devrenin çıkışındaki VEYA kapısına uygulanır.

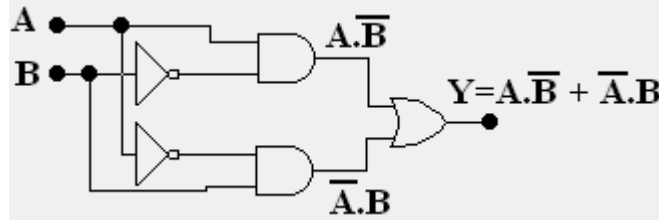
Örnek olarak $Y=A.B + B.C$ ifadesini gerçekleştirecek lojik devreyi tasarlayalım. Bu ifadede $A.B$ ve $B.C$ olmak üzere iki çarpım terimi söz konusudur. Bu iki terim için birer VE kapısı kullanılacaktır. Terimlerdeki değişkenler VE kapılarının girişlerine uygulanır. VE kapılarının çıkışları da bir VEYA kapısının girişine (çarpım terimleri toplandığı için) uygulanır. VEYA kapısının çıkışı devrenin çıkışıdır.



Şekil 3.1: $Y=A.B + B.C$ devresi

Soru: $Y=A.\bar{B} + \bar{A}.B$ ifadesini gerçekleştiren lojik devreyi tasarlayınız.

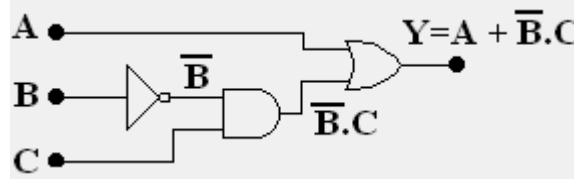
Cevap: Bu ifadede iki çarpım terimi olduğu için iki tane VE kapısı yer alır. Terimlerde bulunan değişkenlerden DEĞİL işaretli olanlar VE kapılarına uygulanmadan önce DEĞİL'lenir. Bu çarpım terimleri toplandığı için VE kapılarının çıkışları VEYA kapısına uygulanır.



Şekil 3.2: $Y=A.\bar{B} + \bar{A}.B$ devresi

Soru: $Y=A + \bar{B}.C$ ifadesini gerçekleştiren lojik devreyi tasarlayınız.

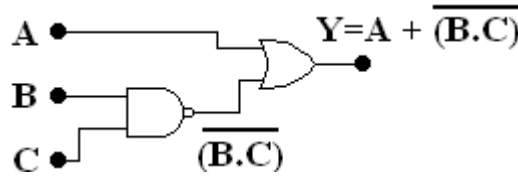
Cevap: Lojik ifadedeki A terimi doğrudan doğruya VEYA kapısının girişine uygulanır. $\bar{B}.C$ terimi için bir VE kapısı kullanılır. Bu terimdeki B değişkeni DEĞİL'lenir.



Şekil 3.3: $Y=A + \bar{B}.C$ devresi

Soru: $Y=A + \overline{(B.C)}$ ifadesini gerçekleştiren lojik devreyi tasarlayınız.

Cevap: İfadedeki $\overline{(B.C)}$ terimi çarpımların DEĞİL'i olduğu için VE DEĞİL kapısı kullanılır. Bu kapının çıkışıyla A değişkeni toplandığı için VEYA kapısının girişlerine uygulanır.



Şekil 3.4: $Y=A + \overline{(B.C)}$ devresi

Buraya kadar lojik ifadelerden hareket ederek lojik devrelerin tasarlanmasını inceledik. Lojik ifade ise problemin ihtimal tablosuna (Doğruluk tablosuda denir.) aktarılmasıyla bulunur. Devre tasarımında yanlış payını azaltmak için önce ihtimal tablosu çıkarılmalı, ihtimal tablosundan elde edilen lojik ifade sadeleştirilerek lojik devre tasarlanmalıdır.

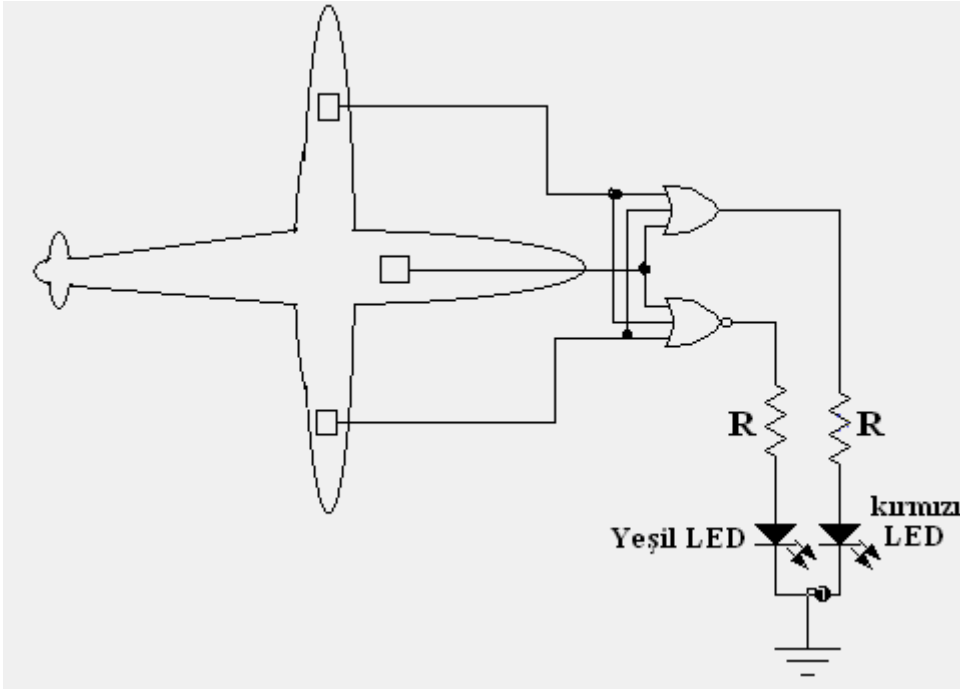
Lojik devrelerin tasarımı problemin sözle ifadesiyle başlar ve lojik diyagramlardan kolayca elde edilebilecek lojik devre diyagramı veya bir Boole fonksiyonunun elde edilmesiyle sonuçlanır. Yöntem aşağıdaki adımlardan oluşur:

- Problem sözle ifade edilir (başlatılır).
- Mevcut giriş ve çıkış değişkenlerinin sayısı belirlenir.
- Giriş ve çıkış değişkenlerine harf sembolleri atanır.
- Giriş ile çıkış arasındaki ilişkileri tanımlayan doğruluk tablosu oluşturulur.
- Her çıkış için sadeleştirilmiş Boole fonksiyonu elde edilir.
- Lojik devre çizilir.

Soru: Bir uçağın biri gövdede ikisi de kanatlarda olmak üzere üç tekerleği bulunmaktadır. İniş anında açma düğmesine basıldığında açılmayan tekerleğin sensörü lojik 1, açılan tekerleğin sensörü lojik 0 üretmektedir. İniş sırasında tekerleklerin açılması için düğmeye basıldığında tekerleklerden herhangi biri açılmadığında kırmızı, her üç tekerlek de açıldığında yeşil LED yakan lojik devreyi tasarlayınız.

Cevap: Arıza durumunda, yani tekerleğin açılmaması hâlinde o tekerlekteki sensör lojik 1 üretmektedir. Sensörlerden herhangi birinin çıkışı 1 olduğunda kırmızı LED'in yanması gerektiğinden bu LED'i süren devre üç girişli VEYA kapısıdır.

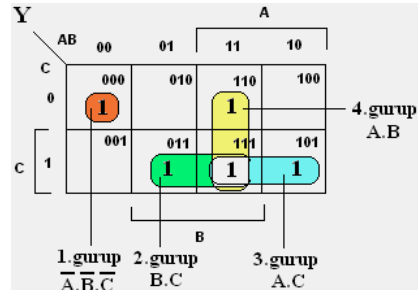
Her üç tekerlekte açıldığında üç sensörün çıkışında da lojik 0 değeri bulunacaktır. Yeşil LED'in yanması için bütün girişleri lojik 0 olduğunda çıkışında lojik 1 üreten VEYA DEĞİL kapısı kullanılır. Şekil 3.5'te bu lojik devre görülmektedir.



Şekil 3.5: Uçaktaki tekerleklerin durumuna göre çalışan lojik devre

Soru: Trafik lambaları hatalı yandığında çıkışta lojik 1 üreten lojik devreyi tasarlayınız.

Cevap: Bilindiği gibi trafik ışıklarında, herhangi bir anda sadece bir lamba yanık, diğer ikisi sönmük durumda olmalıdır. İki ya da üç lamba aynı anda yanıyorsa veya hepsi sönmük durumdaysa hata söz konusu demektir. Lambaları A,B ve C harfleriyle gösterelim. Doğruluk tablosunda hatayı gösteren satırlarda Y çıkışına 1, diğer satırlara 0 yazılır. Doğruluk tablosu Karnaugh haritasına aktarılarak sadeleştirilmiş lojik ifade bulunur. Bu devre üç girişli, tek çıkışlı bir lojik devredir. Doğruluk tablosu ve Karnaugh haritası Şekil 3.6'da gösterilmektedir.



GİRİŞLER			Y ÇIKIŞ	LOJİK İFADE
A	B	C		
0	0	0	1	$\overline{A.B.C}$
0	0	1	0	
0	1	0	0	
0	1	1	1	$\overline{A.B.C}$
1	0	0	0	
1	0	1	1	$A.B.C$
1	1	0	1	$A.B.C$
1	1	1	1	$A.B.C$

Şekil 3.6: Lojik devrenin ihtimal tablosu ve Karnaugh haritasına yerleştirilmesi

Karnaugh haritasından elde edilen lojik ifade $Y = \overline{A.B.C} + B.C + A.C + A.B$ 'dir. Bu ifadedeki $\overline{A.B.C}$ terimi üç girişli VE kapısının girişlerine B,C, A, C ve A.B terimleri ise iki girişli VE kapılarının girişlerine uygulanır (çarpım ifadesi olduğu için). Bu terimler toplandığı için VE kapılarının çıkışları VEYA kapısı girişlerine uygulanır. Lojik ifadenin devresi Şekil 3.7'de çizilmiştir.

GİRİŞLER

A B C

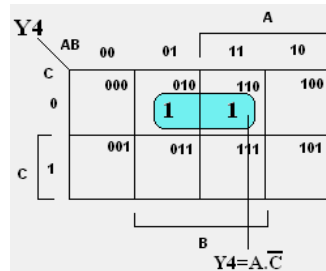
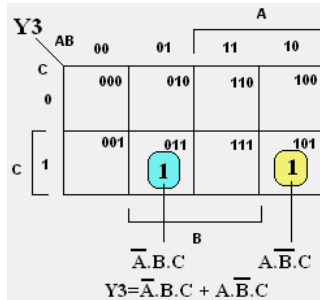
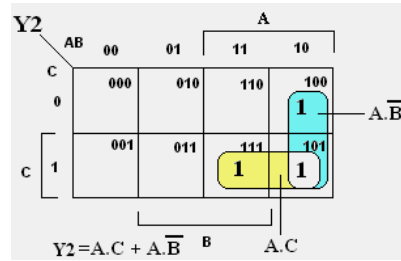
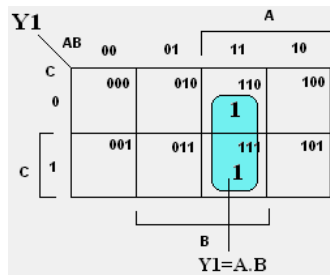
$(0\ 0\ 0)_2 = (0)_{10}$	\longrightarrow	$(0)^2 = (0)_{10}$	\longrightarrow	$(0)_{10} = (0\ 0\ 0\ 0\ 0\ 0)_2$
$(0\ 0\ 1)_2 = (1)_{10}$	\longrightarrow	$(1)^2 = (1)_{10}$	\longrightarrow	$(1)_{10} = (0\ 0\ 0\ 0\ 0\ 1)_2$
$(0\ 1\ 0)_2 = (2)_{10}$	\longrightarrow	$(2)^2 = (4)_{10}$	\longrightarrow	$(4)_{10} = (0\ 0\ 0\ 1\ 0\ 0)_2$
$(0\ 1\ 1)_2 = (3)_{10}$	\longrightarrow	$(3)^2 = (9)_{10}$	\longrightarrow	$(9)_{10} = (0\ 0\ 1\ 0\ 0\ 1)_2$
$(1\ 0\ 0)_2 = (4)_{10}$	\longrightarrow	$(4)^2 = (16)_{10}$	\longrightarrow	$(16)_{10} = (0\ 1\ 0\ 0\ 0\ 0)_2$
$(1\ 0\ 1)_2 = (5)_{10}$	\longrightarrow	$(5)^2 = (25)_{10}$	\longrightarrow	$(25)_{10} = (0\ 1\ 1\ 0\ 0\ 1)_2$
$(1\ 1\ 0)_2 = (6)_{10}$	\longrightarrow	$(6)^2 = (36)_{10}$	\longrightarrow	$(36)_{10} = (1\ 0\ 0\ 1\ 0\ 0)_2$
$(1\ 1\ 1)_2 = (7)_{10}$	\longrightarrow	$(7)^2 = (49)_{10}$	\longrightarrow	$(49)_{10} = (1\ 1\ 0\ 0\ 0\ 1)_2$

ÇIKIŞLAR

$Y_1\ Y_2\ Y_3\ Y_4\ Y_5\ Y_6$

Giriş değerleri onluk (decimal) sisteme çevrilerek kareleri daha kolay hesaplanabilir. Hesaplanan değerler tekrar altı bitlik ikilik sayılara dönüştürüldüğünde çıkışların alacağı değerler bulunmuş olur. Yukarıda her giriş durumu için çıkışların alacağı değerler gösterilmektedir. Şekil 3.8'deki doğruluk tablosu da bu değerlere göre doldurulmuştur.

Daha sonra her bir çıkış için ayrı ayrı Karnaugh haritaları kullanılarak lojik ifadeler bulunur.



Y6		AB		A			
		00	01	11	10		
C	0	000	010	110	100		
	1	001	011	111	101	1	1
						Y6=C	

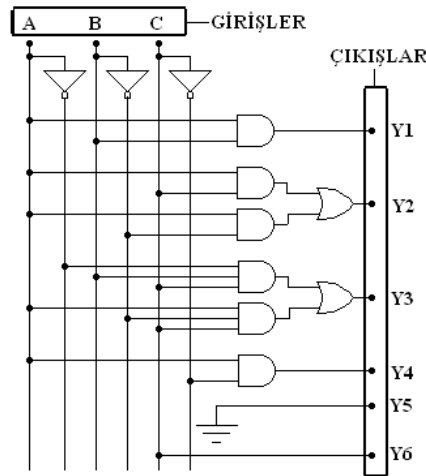
Şekil 3.9: Lojik devrenin Karnaugh haritaları

Y₅ çıkışı, doğruluk tablosunda görüldüğü gibi hep 0 değerini almıştır. Bu yüzden Y₅ çıkışı için Y₅ = 0 yazılır. Tasarlanacak devrenin bütün çıkışlarının lojik ifadesi

$$Y1 = A.B \quad ; \quad Y3 = \bar{A}.B.C + A.\bar{B}.C \quad ; \quad Y5 = 0$$

$$Y2 = A.C + A.\bar{B} \quad ; \quad Y4 = A.\bar{C} \quad ; \quad Y6 = C \text{ dir.}$$

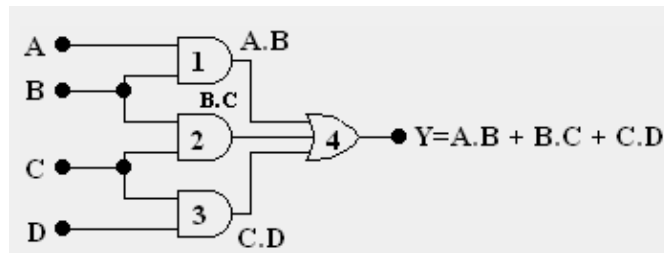
Bu ifadelere göre Şekil 3.10'da lojik devre çizimi yapılmıştır.



Şekil 3.10: Üç bitlik sayının karesini alan lojik devre şeması

3.1. Lojik Diyagramlardan Lojik İfadelerin Bulunması

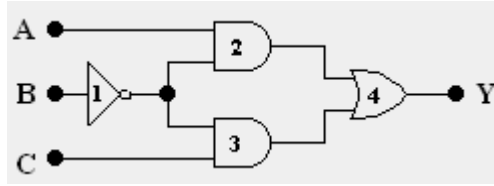
Bu durumda daha önce tasarlanmış bir devre vardır ve bu devrenin çıkışının nasıl olacağını belirlemeye çalışırız. Bunun için devrenin lojik ifadesini buluruz. Şekil 3.11'deki lojik devrenin lojik ifadesini bulalım. Anlatım kolaylığı için kapılar numaralandırılmıştır.



Şekil 3.11: Lojik devre

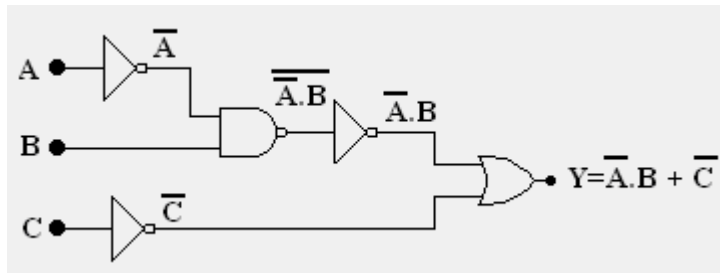
1Şekil 3.11'deki lojik devrede 1 nu.lı VE kapısının girişlerinde A ve B değişkenleri bulunuyor. Bu kapının çıkışı A.B olacaktır. 2 nu.lı VE kapısının girişlerinde B ve C değişkenleri vardır. 2 nu.lı VE kapısının çıkışı B.C olacaktır. 3 nu.lı VE kapısının girişlerinde ise C ve D değişkenleri vardır. 3 nu.lı VE kapısının çıkışı da C.D olacaktır. 1,2 ve 3 nu.lı VE kapılarının çıkışları 4 nu.lı VEYA kapısına bağlanmıştır. Böylece VEYA kapısının çıkışında $A.B + B.C + C.D$ ifadesi bulunur. VEYA kapısının çıkışı aynı zamanda lojik devrenin çıkışıdır. Böylece lojik devrenin çıkışında $Y=A.B + B.C + C.D$ ifadesi elde edilir.

Soru: Şekil 3.12'deki lojik devrenin çıkışındaki lojik ifadeyi bulunuz.



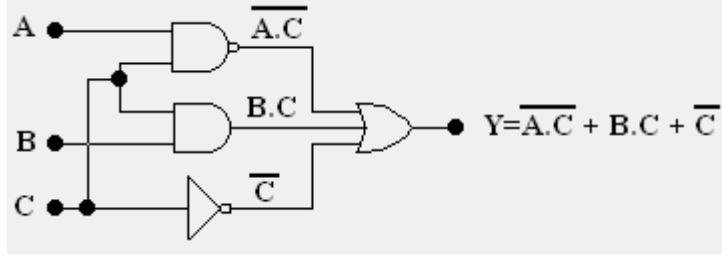
Şekil 3.12: Lojik devre

Cevap: 1 nu.lı DEĞİL kapısının girişine B değişkeni uygulanmıştır. DEĞİL kapısının çıkışı \bar{B} olacaktır. Bu \bar{B} çıkışı hem 2, hem de 3 nu.lı VE kapılarının girişlerine uygulanmıştır. 2 nu.lı VE kapısının girişlerinde A ve \bar{B} değişkenleri bulunmaktadır. 2 nu.lı VE kapısının çıkışı $A.\bar{B}$ olacaktır. 3 nu.lı VE kapısının girişlerinde \bar{B} ve C değişkenleri bulunmaktadır. 3 nu.lı VE kapısının çıkışı da $\bar{B}.C$ olacaktır. Devrede 4 nu.lı VEYA kapısının girişlerine $A.\bar{B}$ ve $\bar{B}.C$ değerleri uygulandığından devrenin çıkışında $Y=A.\bar{B} + \bar{B}.C$ ifadesi elde edilir. Şekil 3.13'te bir lojik devre ve çıkışındaki lojik ifade görülmektedir.



Şekil 3.13: Lojik devre ve çıkışındaki ifade

Şekil 3.14'te bir lojik devre ve çıkışındaki lojik ifade görülmektedir.



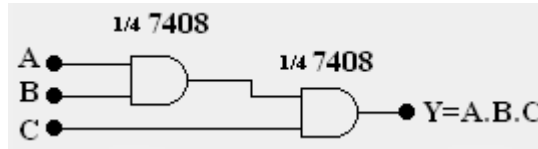
Şekil 3.14. Lojik devre ve çıkışındaki ifade

3.2. Lojik Kapı Eş Değer Devreleri

Uygun bağlantılarla bir veya birkaç lojik kapı kullanılarak başka bir lojik kapıyı elde edebiliriz. Lojik kapılardan başka kapıların elde edilmesi devrede kullanılan entegre sayısını azaltır.

3.2.1. Kapı Giriş Sayısının Artırılması

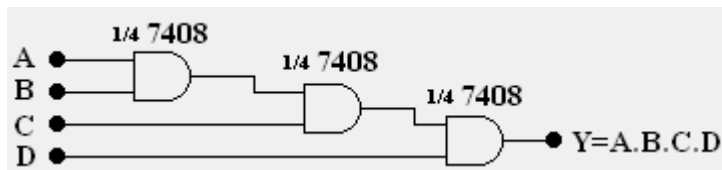
Elektronik piyasasında iki girişli kapı entegreleri daha yaygın olarak bulunmakta ve kullanılmaktadır. Örneğin 7408 entegresinde dört adet iki girişli VE kapısı bulunmaktadır. TTL 7411 entegresinde ise üç adet üç girişli VE kapısı vardır. Ancak üç girişli VE kapısı fonksiyonunu elde etmek için mutlaka 7411 entegresi kullanmak şart değildir. Daha yaygın olarak bulunan 7408 entegresindeki kapılardan uygun bağlantılarla üç girişli VE kapısı elde edebiliriz. Şekil 3.15'te iki girişli VE kapıları kullanılarak oluşturulmuş üç girişli VE kapısı görülüyor. Şekil 3.15'teki devre üç girişli VE kapısının fonksiyonunu yerine getirir. A,B ve C uçları giriş, Y ucu ise çıkış ucudur. Girişlerin tümü 1 olursa çıkış 1 olur. Diğer bütün kombinasyonlarda çıkış 0 olacaktır.



Şekil 3.15: İki girişli VE kapılarından üç girişli VE kapısı elde edilmesi

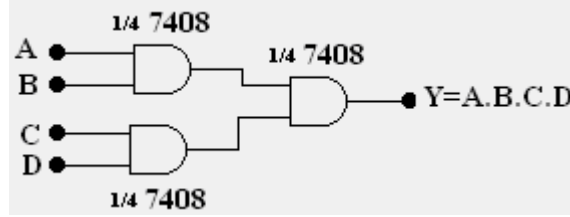
Profesyonel şemalarda genellikle kapıların hangi entegrelerden alınmış olduklarına da işaret edilir. Şekil 3.15'teki iki girişli VE kapılarının yanında "1/4 7408" ifadesi bulunmaktadır. Bu ifade devredeki iki girişli VE kapılarının, içinde dört adet VE kapısı olan 7408 entegresinden alındığını gösterir.

Şekil 3.16'da iki girişli VE kapıları kullanılarak elde edilen dört girişli VE kapısı görülmektedir.



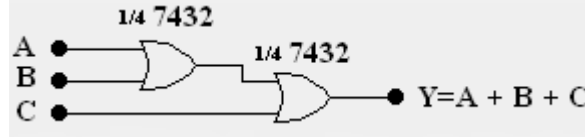
Şekil 3.16: İki girişli VE kapılarından dört girişli VE kapısı elde edilmesi

Şekil 3.17'deki devrede de iki girişli VE kapıları kullanılarak dört girişli VE kapısı elde edilmiştir.



Şekil 3.17: İki girişli VE kapılarından dört girişli VE kapısı elde edilmesi

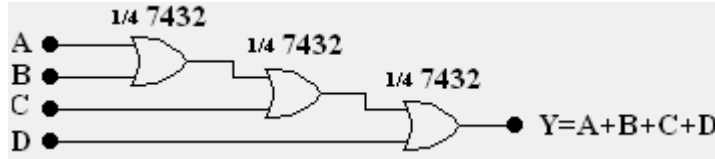
Aynı yöntemle iki girişli VEYA kapılarını kullanarak üç ve dört girişli VEYA kapıları elde edilebilir. Şekil 3.18'de iki adet iki girişli VEYA kapısı kullanılarak elde edilen üç girişli



Şekil 3.18: İki girişli VEYA kapılarından üç girişli VEYA kapısı elde edilmesi

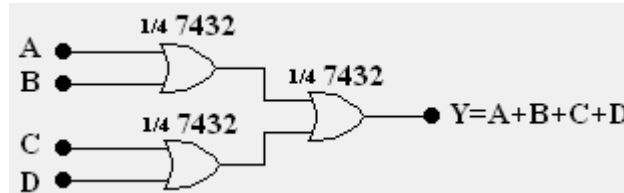
VEYA kapısı görülmektedir. Şekil 3.18'deki devre üç girişli VEYA kapısının fonksiyonunu yerine getirir. Girişlerden üçü de lojik 0 olduğunda çıkışta lojik 0 oluşur. Diğer bütün giriş kombinasyonlarında çıkışta lojik 1 oluşur.

Şekil 3.19'da iki girişli VEYA kapıları kullanılarak oluşturulan dört girişli VEYA kapısı görülmektedir.



Şekil 3.19: İki girişli VEYA kapılarından dört girişli VEYA kapısı elde edilmesi

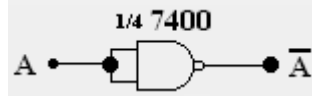
Şekil 3.20'deki devrede de iki girişli VEYA kapıları kullanılarak dört girişli VEYA kapısı elde edilmiştir.



Şekil 3.20: İki girişli VEYA kapılarından dört girişli VEYA kapısı elde edilmesi

3.2.2. VE DEĞİL (NAND) Kapısından Diğer Kapıların Elde Edilmesi

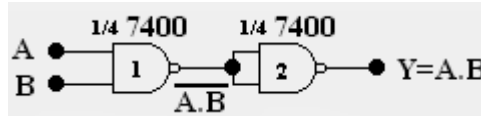
VE DEĞİL kapısı kullanılarak başka bir çeşit kapının oluşturulması mümkündür. Şekil 3.21’de VE DEĞİL kapısını kullanarak DEĞİL kapısının elde edilişi görülmektedir. Şekil 3.21’de iki girişli bir VE DEĞİL kapısının iki giriş ucu birleştirilmiştir. Böylece kapının her iki girişine de aynı lojik sinyalin gelmesi sağlanmaktadır. VE DEĞİL kapısının her iki girişine de lojik 0 değeri uygulanırsa çıkış lojik 1 olur.



Şekil 3.21: VE DEĞİL kapısından DEĞİL kapısının elde edilmesi

Her iki girişe de lojik 1 uygulandığında çıkış lojik 0 olur. Girişler birleştirilip tek giriş ucu yapıldığında girişe uygulanan sinyalin terslenmiş şekli çıkışta oluşacaktır. Böylece DEĞİL fonksiyonu elde edilmektedir.

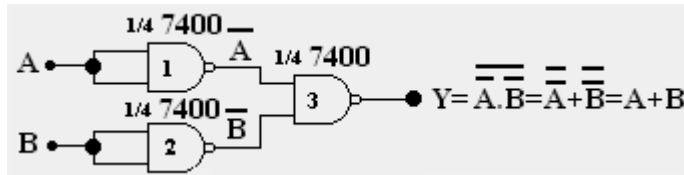
Şekil 13.22’de VE DEĞİL kapılarından VE kapısının elde edilmesi görülmektedir. VE kapısıyla VE DEĞİL kapısının doğruluk tablosu karşılaştırıldığında çıkış değerlerinin



Şekil 3.22: VE DEĞİL kapılarından VE kapısının elde edilmesi

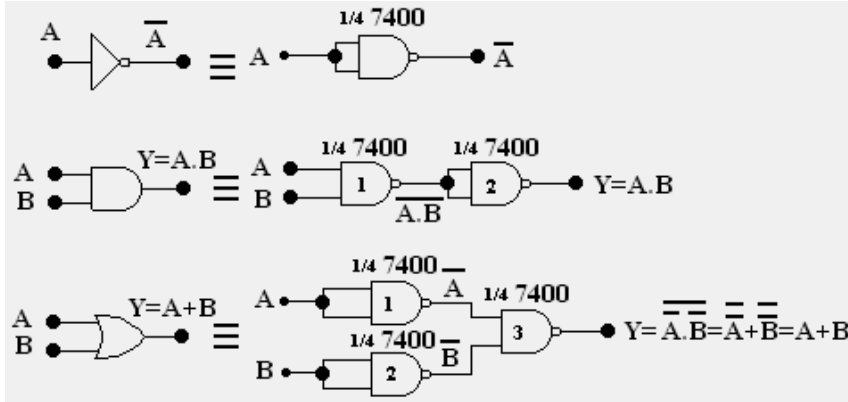
birbirinin tersi olduğu görülecektir. Şekil 3.22’deki devrede 2 nu.lı VE DEĞİL kapısı DEĞİL kapısı olarak bağlanmıştır. Böylece 1 nu.lı VE DEĞİL kapısının çıkışı terslenerek VE kapısının fonksiyonu elde edilmektedir.

Şekil 3.23’te VE DEĞİL kapıları kullanılarak VEYA kapısının elde edilişi görülmektedir. 1 ve 2 nu.lı VE DEĞİL kapıları girişleri terslediğinden DEĞİL kapısı olarak kullanılmıştır.



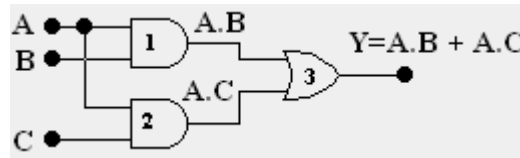
Şekil 3.23: VE DEĞİL kapılarından VEYA kapısının elde edilmesi

3 nu.lı VE DEĞİL kapısı girişlerine gelen \bar{A} ve \bar{B} değerleri bu kapı çıkışında çarpılarak terslenmektedir. Sonuçta VEYA kapısı fonksiyonu elde edilmektedir. Şekil 3.24’te DEĞİL, VE, VEYA kapılarının VE DEĞİL eş değerleri görülmektedir.



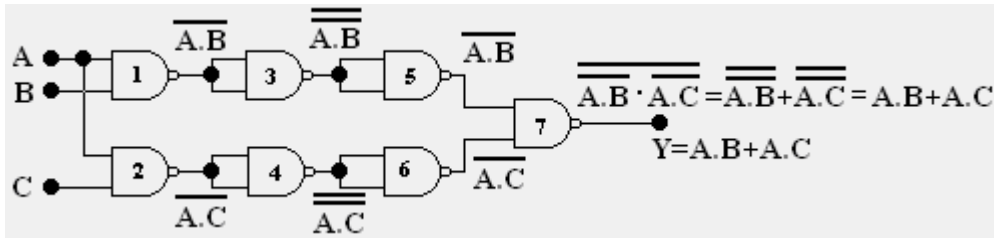
Şekil 3.24: DEĞİL, VE, VEYA kapılarının VE DEĞİL eş deđeri

Örnek olarak $Y=A.B + A.C$ lojik ifadesini sadece VE DEĞİL (NAND) kapıları kullanarak elde edelim. Bu fonksiyon normalde iki adet VE, bir adet VEYA kapısından oluşmaktadır. Bu fonksiyonun normal şekliyle çizimi Şekil 3.25'te görülmektedir.



Şekil 3.25: $Y=A.B+A.C$ ifadesinin lojik devresi

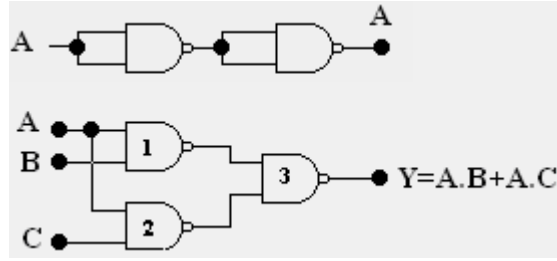
1,2 nu.lı VE kapıları ve 3 nu.lı VEYA kapısı yerine bunların eş deđeri VE DEĞİL kapılarını koyarsak fonksiyonu sadece VE DEĞİL kapılarıyla gerçekleştirmiş oluruz.



Şekil 3.26: $Y=A.B+A.C$ fonksiyonunun sadece VE DEĞİL kapılarıyla gerçekleştirilmesi

Şekil 3.25'te 1 nu.lı VE kapısının yerine Şekil 3.26'da 1-3 nu.lı VE DEĞİL kapıları, Şekil 3.25'te 2 nu.lı VE kapısının yerine Şekil 3.26'da 2-4 nu.lı VE DEĞİL kapıları ve Şekil 3.25'te 3 nu.lı VEYA kapısının yerine Şekil 3.26'da 5-6 ve 7 nu.lı VE DEĞİL kapıları kullanılmıştır.

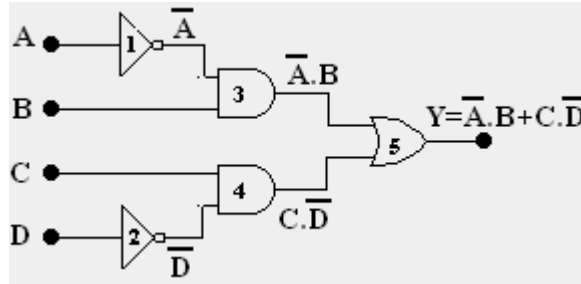
Şekil 3.26'ya dikkat edilirse 3-5 ve 4-6 nu.lı VE DEĞİL kapıları art arda bağlanmıştır. 3 nu.lı VE DEĞİL kapısı girişi ile 5 nu.lı VE DEĞİL kapısı çıkışı aynı ifadeyi vermektedir. Aynı şekilde 4 nu.lı VE DEĞİL kapısı girişi ile 6 nu.lı VE DEĞİL kapısı çıkışı aynı ifadeyi vermektedir. Dolayısıyla 3-4-5 ve 6 nu.lı VE DEĞİL kapılarının kullanılmasına gerek yoktur. Fonksiyonu bu hâliyle yeniden çizilirse Şekil 3.27'deki devre elde edilir.



Şekil 3.27: $Y=A.B+A.C$ fonksiyonunun sadece VE DEĞİL kapılarıyla gerçekleştirilmesi

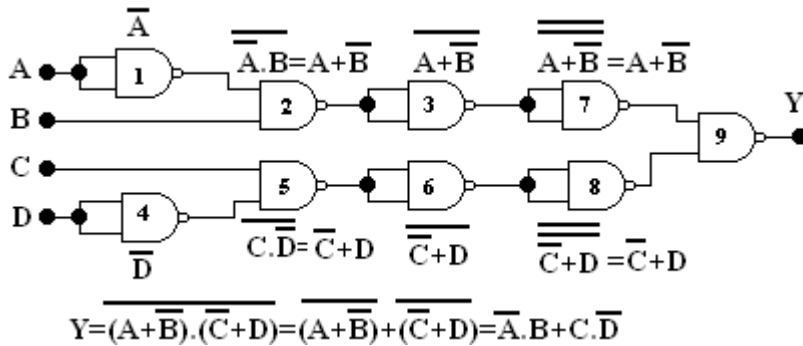
Soru: $Y=\bar{A}.B+C.\bar{D}$ fonksiyonunu sadece VE DEĞİL (NAND) kapıları kullanarak elde ediniz.

Cevap: Fonksiyon normalde iki adet DEĞİL, iki adet VE, 1 adet VEYA kapısından oluşmaktadır. Şekil 3.28'de fonksiyonun normal şekliyle çizimi görülmektedir. Burada 1 ve 2 nu.lı DEĞİL, 3 ve 4 nu.lı VE, 5 nu.lı VEYA kapılarının yerine bunların eş deđeri VE DEĞİL kapıları yerleştirildiğinde fonksiyon sadece VE DEĞİL (NAND) kapılarıyla gerçekleştirilmiş olur.



Şekil 3.28: $Y=\bar{A}.B+C.\bar{D}$ ifadesinin lojik devresi

Şekil 3.29'da fonksiyonun sadece VE DEĞİL kapılarıyla gerçekleştirilmesi görülmektedir.

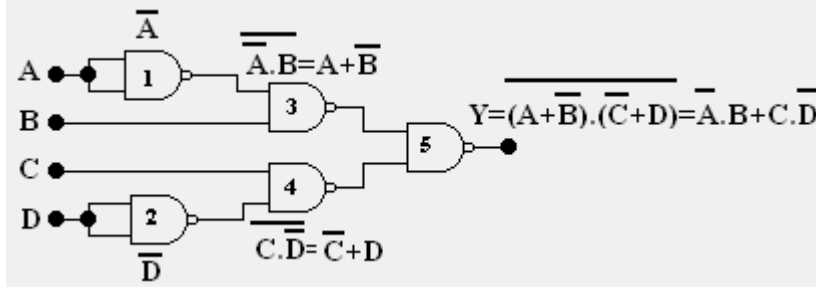


Şekil 3.29: $Y=\bar{A}.B+C.\bar{D}$ fonksiyonunun VE DEĞİL kapılarıyla gerçekleştirilmesi

Şekil 3.28'deki 1 ve 2 nu.lı DEĞİL kapıları yerine Şekil 3.29'da 1 ve 4 nu.lı VE DEĞİL kapıları, Şekil 3.28'deki 3 nu.lı VE kapısı yerine Şekil 3.29'da 2 ve 3 nu.lı VE

DEĞİL kapıları, Şekil 3.28'deki 4 nu.lı VE kapısı yerine Şekil 3.29'da 5 ve 6 nu.lı VE DEĞİL kapıları, Şekil 3.28'deki 5 nu.lı VEYA kapısı yerine Şekil 3.9'da 7,8 ve 9 nu.lı VE DEĞİL kapıları kullanılmıştır.

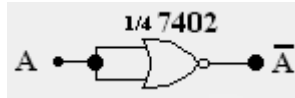
Şekil 3.29'a dikkat edilirse 3 nu.lı VE DEĞİL kapısının giriş ifadesiyle 7 nu.lı VE DEĞİL kapısının çıkış ifadesi aynıdır. Aynı durum 6 ve 8 nu.lı VE DEĞİL kapıları için de geçerlidir. Dolayısıyla bu kapıların kullanılmasına gerek yoktur. Fonksiyon bu hâliyle yeniden çizilirse Şekil 3.30'daki devre elde edilir.



Şekil 3.30: $Y=\overline{A}.B+C.\overline{D}$ fonksiyonunun VE DEĞİL kapılarıyla gerçekleştirilmesi

3.2.3. VEYA DEĞİL (NOR) Kapısından Diğer Kapıların Elde Edilmesi

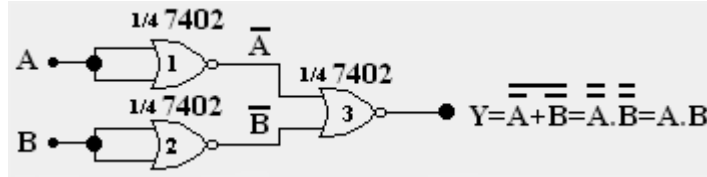
VEYA DEĞİL kapısı kullanılarak başka bir çeşit kapının oluşturulması mümkündür. Şekil 3.31'de VEYA DEĞİL kapısını kullanarak DEĞİL kapısının elde edilişi görülmektedir. Şekil 3.31'de iki girişli bir VEYA DEĞİL kapısının iki giriş ucu birleştirilmiştir. Böylece kapının her iki girişine de aynı lojik sinyalin gelmesi sağlanmaktadır.



Şekil 3.31: VEYA DEĞİL kapısından DEĞİL kapısının elde edilmesi

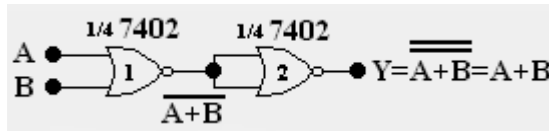
VEYA DEĞİL kapısının her iki girişine de lojik 0 değeri uygulanırsa çıkış lojik 1 olur. Her iki girişe de lojik 1 uygulandığında ise çıkış lojik 0 olur. Girişler birleştirilip tek giriş ucu yapıldığında girişe uygulanan sinyalin terslenmiş şekli çıkışta oluşacaktır. Böylece DEĞİL fonksiyonu elde edilmektedir.

Şekil 3.32'de VEYA DEĞİL kapılarından VE kapısının elde edilişi görülmektedir. Şekil 3.32'de VEYA DEĞİL kapıları kullanılarak VE kapısının elde edilişi görülmektedir. 1 ve 2 nu.lı VEYA DEĞİL kapıları girişleri terslediğinden DEĞİL kapısı olarak kullanılmıştır. 3 nu.lı VEYA DEĞİL kapısı girişlerine gelen \overline{A} ve \overline{B} değerleri bu kapı çıkışında toplanarak terslenmektedir. Sonuçta VE kapısı fonksiyonu elde edilmektedir.



Şekil 3.32: VEYA DEĞİL kapılarından VE kapısının elde edilmesi

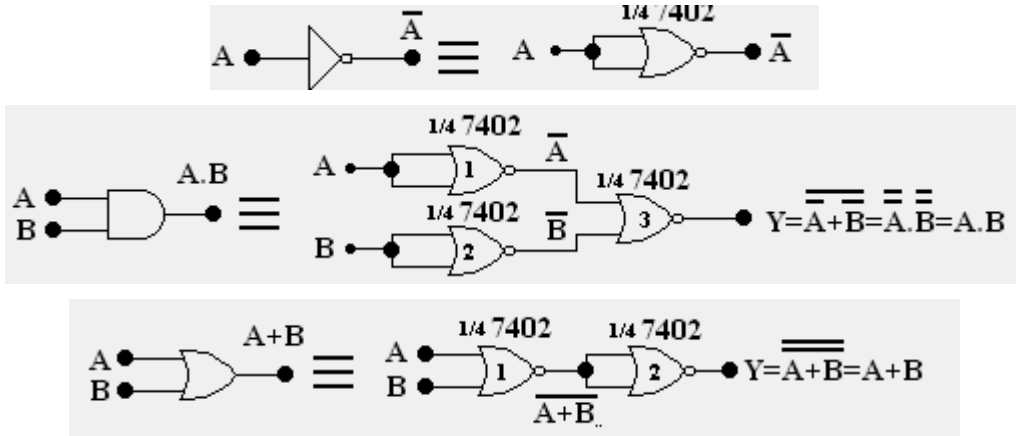
Şekil 3.33'te VEYA DEĞİL kapılarında VEYA kapısının elde edilişi görülmektedir. VEYA kapısıyla VEYA DEĞİL kapısının doğruluk tablosu karşılaştırıldığında çıkış değerlerinin birbirinin tersi olduğu görülecektir. Şekil 3.33'deki devrede 2 nu. lu



Şekil 3.33: VEYA DEĞİL kapılarında VEYA kapısının elde edilmesi

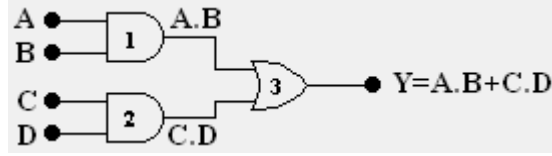
VEYA DEĞİL kapısı DEĞİL kapısı olarak bağlanmıştır. Böylece 1 nu.lu VEYA DEĞİL kapısının çıkışı terslenerek VEYA kapısının fonksiyonu elde edilmektedir.

Şekil 3.34'te DEĞİL, VE, VEYA kapılarının VEYA DEĞİL eş değerleri görülmektedir.



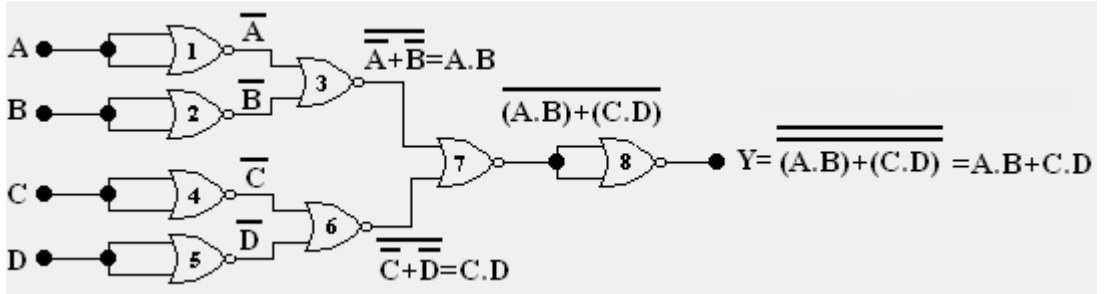
Şekil 3.34: DEĞİL, VE, VEYA kapılarının VEYA DEĞİL eş değeri

Örnek olarak $Y=A.B+C.D$ lojik ifadesini sadece VEYA DEĞİL (NOR) kapıları kullanarak elde edelim. Bu fonksiyon normalde iki adet VE, bir adet VEYA kapısından oluşmaktadır. Bu fonksiyonun normal şekliyle çizimi Şekil 3.35'te görülmektedir. 1,2 nu.lu VE kapıları ve 3 nu.lu VEYA kapısı yerine bunların eş değeri VEYA DEĞİL kapılarını koyarsak fonksiyonu sadece VEYA DEĞİL kapılarıyla gerçekleştirmiş oluruz.



Şekil 3.35: $Y=A.B+C.D$ ifadesinin lojik devresi

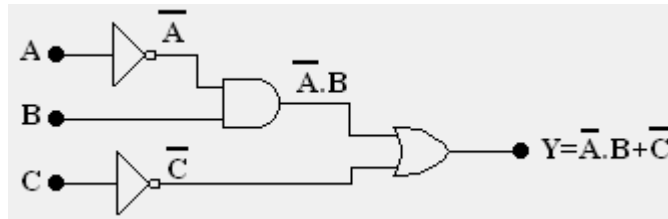
Şekil 3.36'da $Y=A.B+C.D$ ifadesinin sadece VEYA DEĞİL kapılarıyla gerçekleştirilmesi görülmektedir.



Şekil 3.36: $Y=A.B+C.D$ ifadesinin VEYA DEĞİL kapılarıyla gerçekleştirilmesi

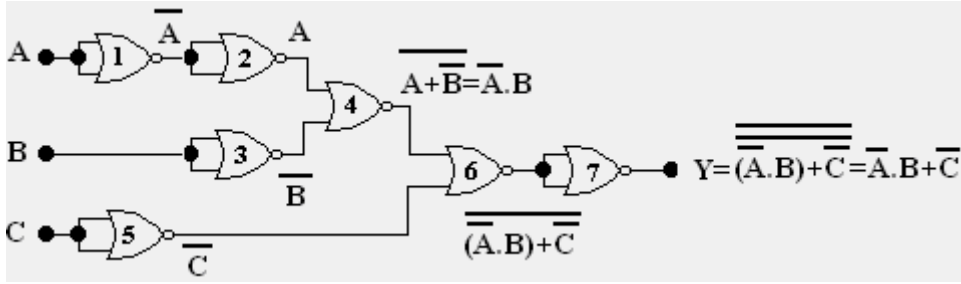
Şekil 3.35'teki 1 nu.lu VE kapısının yerine Şekil 3.36'da 1-2-3 nu.lu VEYA DEĞİL kapıları, Şekil 3.35'teki 2 nu.lu VE kapısının yerine Şekil 3.36'da 4-5-6 nu.lu VEYA DEĞİL kapıları, Şekil 3.35'teki 3 nu.lu VEYA kapısının yerine Şekil 3.36'da 7-8 nu.lu VEYA DEĞİL kapıları kullanılmıştır.

Soru: $Y=\bar{A}.B+\bar{C}$ lojik fonksiyonunu VEYA DEĞİL kapılarıyla gerçekleştiriniz. Öncelikle bu fonksiyonun normal şekliyle çizimi Şekil 3.37'de görülmektedir.



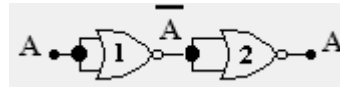
Şekil 3.37: $Y=\bar{A}.B+\bar{C}$ ifadesinin lojik devresi

Şekil 3.37'deki lojik devrede DEĞİL VE VEYA kapılarının yerlerine EŞ DEĞER VEYA DEĞİL kapıları yerleştirildiğinde lojik ifade sadece VEYA DEĞİL kapılarıyla gerçekleştirilmiş olur. Şekil 3.38'de $Y=\bar{A}.B+\bar{C}$ lojik ifadesinin VEYA DEĞİL kapılarıyla gerçekleştirilişi görülmektedir.



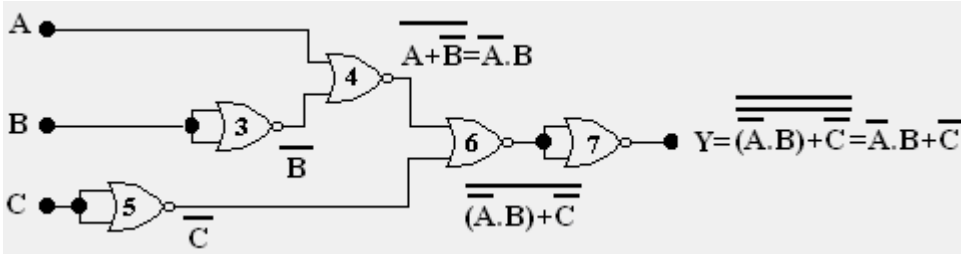
Şekil 3.38: $Y = \overline{A}.B + \overline{C}$ ifadesinin VEYA DEĞİL kapılarıyla gerçekleştirilmesi

Şekil 3.38'e dikkat edilirse 1 nu.lı VEYA DEĞİL kapısının girişi ile 2 nu.lı VEYA DEĞİL kapısının çıkışı aynı ifadeyi vermektedir. Dolayısıyla bu iki kapının kullanılmasına gerek yoktur.



Özelliğine dikkat ediniz.

Devreyi bu hâliyle yeniden çizilirse Şekil 3.39'daki devre elde edilir.



Şekil 3.39: $Y = \overline{A}.B + \overline{C}$ lojik ifadesinin sadece NOR kapılarıyla elde edilmesi

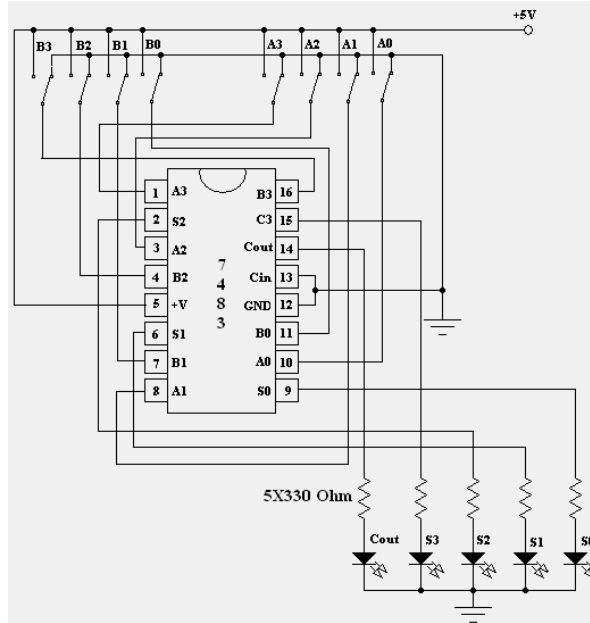
UYGULAMA FAALİYETİ

7483 entegresiyle yapılan toplayıcı uygulamasını gerçekleştiriniz.

Şekildeki 7483 entegresiyle yapılan toplayıcı devresini breadboard üzerinde, verilen işlem basamaklarına uygun şekilde gerçekleştiriniz. Uygulama sonucuna göre aşağıdaki tabloyu doldurunuz.

GİRİŞ B					GİRİŞ A					ÇIKIŞLAR					
Dec	B3	B2	B1	B0	Dec	A3	A2	A1	A0	Cout	S3	S2	S1	S0	Dec
0	0	0	0	0	4	0	1	0	0						
3	0	0	1	1	6	0	1	1	0						
8	1	0	0	0	9	1	0	0	1						
10	1	0	1	0	2	0	0	1	0						
15	1	1	1	1	14	1	1	1	0						

7483 entegresiyle yapılan toplayıcı devre sonuç tablosu



7483 Entegresiyle yapılan toplayıcı devre uygulaması

Malzeme listesi:

- 1 adet 7483 entegre
- 5 adet 330 ohm direnç
- 8 adet iki konumlu anahtar
- 5 adet led
- 5V DC güç kaynağı
- Bağlantı iletkenleri

İşlem Basamakları	Öneriler
<ul style="list-style-type: none"> ➤ Çalışma ortamınızı hazırlayınız. 	<ul style="list-style-type: none"> ➤ İş önlüğünüzü giyiniz. ➤ Çalışma masanızı düzenleyiniz. ➤ Çalıştığınız deney masasının üzerinde deney ile ilgisi olmayan araç gereç ve malzemeyi kaldırınız.
<ul style="list-style-type: none"> ➤ Şekildeki devrenin malzemelerini temin ediniz. 	<ul style="list-style-type: none"> ➤ Malzemeleri öğretmeninizin yönlendirmesine göre temin ediniz. ➤ 7483 entegresiyle ilgili bilgilerinizi gözden geçiriniz. Malzemelerin sağlamlığını kontrol ediniz.
<ul style="list-style-type: none"> ➤ Devreyi breadboard üzerine kurunuz. 	<ul style="list-style-type: none"> ➤ Elemanların breadboard içerisine tam olarak yerleştiğinden emin olunuz. ➤ Bağlantı iletkenlerini değişik renklerde kullanmanız, devre takibi açısından size kolaylık sağlar.
<ul style="list-style-type: none"> ➤ Devreyi çalıştırınız. 	<ul style="list-style-type: none"> ➤ Öğretmeninize kontrol ettirmeden devreye enerji uygulamayınız. ➤ Entegrelere besleme gerilimi uygulamayı unutmayınız.
<ul style="list-style-type: none"> ➤ A ve B anahtarlarını tabloda verilen değerlere göre değiştirerek devreye uygulayınız. Çıkışlardaki ledlerin durumlarını gözleyiniz. 	<ul style="list-style-type: none"> ➤ Doğruluk tablosunu doldurunuz.
<ul style="list-style-type: none"> ➤ Enerjiyi kestikten sonra devre bağlantılarını sökünüz. Elde ettiğiniz sonuçları arkadaşlarınızla tartışarak değerlendirme testi sonuçları ile birlikte öğretmeninize rapor ediniz. 	<ul style="list-style-type: none"> ➤ Ölçüm sonuçlarını arkadaşlarınızla karşılaştırınız. ➤ Kullandığınız malzemeleri tam ve sağlam olarak teslim ediniz.

KONTROL LİSTESİ

Bu öğrenme faaliyeti kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadığınız beceriler için **Hayır** kutucuğuna (X) işareti koyarak kendinizi değerlendiriniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Lojik diyagramlardan lojik ifadeleri bulabiliyor musunuz?		
2. Lojik ifadelerden lojik diyagramları çizebiliyor musunuz?		
3. Lojik kapı eş değer devrelerini biliyor musunuz?		

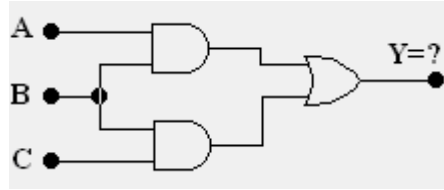
DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise “Ölçme ve Değerlendirme”ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

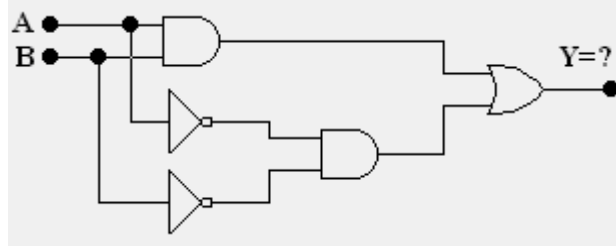
Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1. Aşağıda verilen lojik devrenin lojik ifadesi nedir?



- A) $Y=A.B+B.C$
B) $Y=A.B+B.\bar{C}$
C) $Y=A.\bar{B}+B.\bar{C}$
D) $Y=\bar{A}.\bar{B}+B.\bar{C}$

2. Aşağıda verilen lojik devrenin lojik ifadesi nedir?



- A) $Y=A.B+A.B$
B) $Y=\bar{A}.\bar{B}+\bar{A}.\bar{B}$
C) $Y=\bar{A}.\bar{B}+\bar{A}.B$
D) $Y=\bar{A}.\bar{B}+A.B$

3. İki girişli VE kapıları kullanarak üç girişli VE kapısını elde etmek için en az kaç tane **VE kapısı** gereklidir?

- A) 1
B) 2
C) 3
D) 4

4. İki girişli VEYA kapılarını kullanarak üç girişli VEYA kapısını elde etmek için en az kaç tane VEYA kapısı gereklidir?

- A) 1
B) 2
C) 3
D) 4

5. Bir yarışma programının jürisi üç kişiden oluşmakta ve yarışmacıların cevapları değerlendirilirken çoğunluk esasına göre karar alınmaktadır. Buna göre jüri üyelerinin hepsinin veya herhangi ikisinin doğru olarak kabul ettiği cevaplar doğru cevap olarak değerlendirilmektedir. Jüri üyeleri doğru cevaplarda 1, yanlış cevaplarda 0 düğmesine basmaktadır. Jüri üyelerini A,B ve C olarak adlandırdıktan sonra doğru cevaplarda lojik 1, yanlış cevaplarda lojik 0 üreten devrenin lojik fonksiyonu nedir?

A) $Y = A.B + A.C + B.C$

B) $Y = \bar{A}.\bar{B} + A.C + B.C$

C) $Y = \bar{A}.\bar{B} + A.C + B.\bar{C}$

D) $Y = \bar{A}.\bar{B} + \bar{A}.C + B.\bar{C}$

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki öğrenme faaliyetine geçiniz.

ÖĞRENME FAALİYETİ-4

AMAÇ

Aritmetik devreleri tekniğine uygun olarak tasarlayıp yapabileceksiniz.

ARAŞTIRMA

- Hesap makinelerinin çalışma prensiplerini araştırınız. Toplayıcı, çıkarıcı ve çarpma devrelerini inceleyiniz. Elde ettiğiniz bilgileri arkadaşlarınızla tartışınız.

4. ARİTMETİK DEVRELER

Dijital devrelerde tüm işlemler binary sayılarla (0,1) yapılmaktadır. Aritmetik devreler toplama, çıkarma, çarpma ve karşılaştırma işlemlerini binary sayılarla yapar.

4.1. Toplayıcılar

Toplayıcılar ikili sayıların toplanması işlemini gerçekleştirir. Tablo 4.1’de ikili sistemde toplama işlemlerinde uygulanan kurallar görülmektedir. Toplama işlemi kurallarına göre toplanan basamaklardaki sayıların her ikisi de 0 olduğunda hem toplam hem de elde değerleri 0 olur. Toplanan basamaklardan biri 1, diğeri 0 olursa toplam 1, elde 0 olur. Toplanan basamakların her ikisinin de 1 olması durumunda ise toplam 0, elde 1 olur.

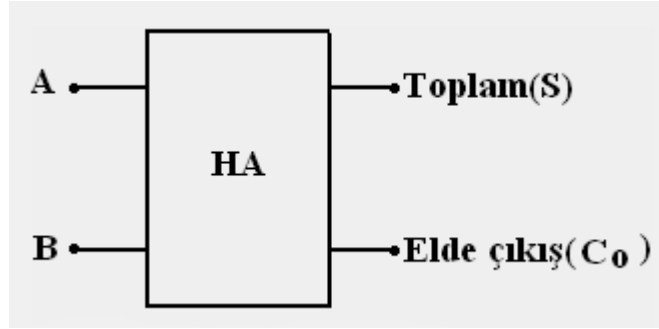
Sayılar	Toplam	Elde
0+0	0	0
0+1	1	0
1+0	1	0
1+1	0	1

Tablo 4.1: Toplama kuralları

4.1.1. Yarım Toplayıcı (Half Adder-HA)

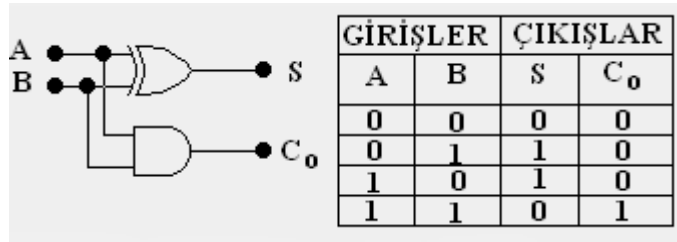
Elde girişi olmayan birer bitlik iki sayıyı toplayan devreye “yarım toplayıcı” denir. Şekil 4.1’de yarım toplayıcının blok diyagramı görülmektedir.

Yarım toplayıcılar HA kısaltmasıyla gösterilir. HA, İngilizcede “yarım toplayıcı” anlamına gelen “half adder” sözcüklerinin ilk harflerinden oluşmuştur. Yarım toplayıcının iki giriş, iki çıkış ucu bulunmaktadır. A ve B uçları giriş uçlarıdır. Bu uçlara toplanacak olan sayılar uygulanır. HA devresinin çıkışları ise S ve C0 ile gösterilir. S ucu toplam, C0 ucu ise elde ucudur. S harfi İngilizcede “toplam” anlamına gelen “sum” sözcüğünün ilk harfidir. C0 ise İngilizcede “elde çıkışı” anlamına gelen “carry out” sözcüklerinin ilk harfleridir. Şekil 4.2’de kapılarla gerçekleştirilmiş yarım toplayıcı devreyle doğruluk tablosu görülmektedir.



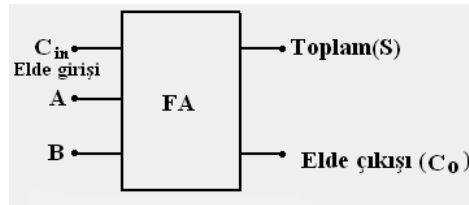
Şekil 4.1: Yarım toplayıcı blok diyagramı

Doğruluk tablosunda da görüldüğü gibi yarım toplayıcı devrenin S (toplam) çıkışı farklı girişlerde lojik 1, benzer girişlerde lojik 0 olmaktadır. Co çıkışı ise A ve B girişlerinin her ikisinin de lojik 1 olması durumunda lojik 1, diğer bütün girişlerde ise lojik 0 değerini almaktadır. Bu nedenle Co çıkışı için VE kapısı kullanılmıştır.



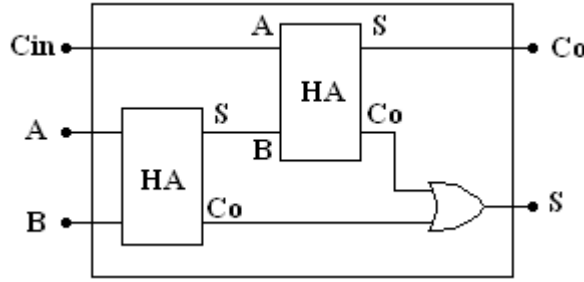
Şekil 4.2: Yarım toplayıcı devre ve doğruluk tablosu

4.1.2. Tam Toplayıcı (Full Adder-FA)



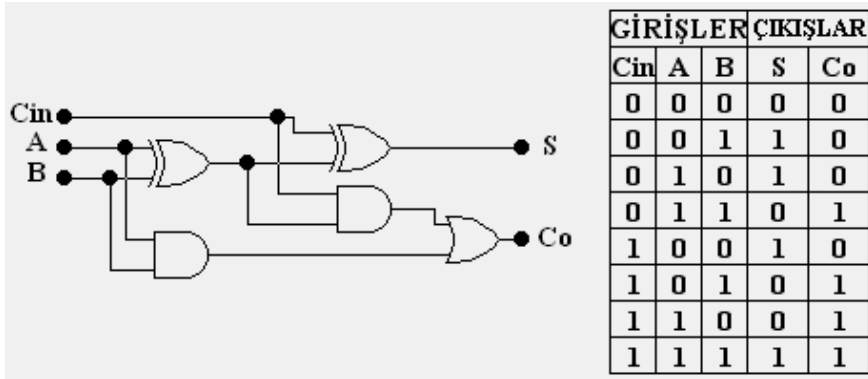
Şekil 4.3: Tam toplayıcı blok diyagramı

Birer bitlik iki binary sayıyı eldeleriyle birlikte toplayan devreye “tam toplayıcı” denir. Tam toplayıcılar FA kısaltmasıyla gösterilir. FA, İngilizcede “tam toplayıcı” anlamına gelen “full adder” sözcüklerinin ilk harflerinden oluşturulmuştur. Şekil 4.3’te tam toplayıcı devrenin blok diyagramı görülmektedir. Tam toplayıcının üç giriş iki çıkış ucu bulunmaktadır. A ve B uçları toplanacak birer basamağın giriş uçlarıdır. Cin ucu ise bir sağdaki basamaktan gelen elde sayısını alır. Cin, İngilizcede elde anlamına gelen “carry in” sözcüklerinden türetilmiştir. FA devresinin çıkışları S ve Co ile gösterilir. S ucu toplam, Co ucu ise elde ucudur.



Şekil 4.4: İki adet HA devresiyle gerçekleştirilmiş tam toplayıcı

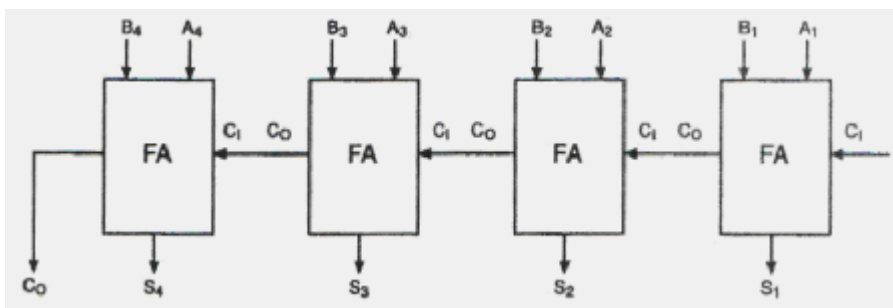
İki adet yarım toplayıcı (HA) devresiyle bir VEYA kapısı kullanılarak tam toplayıcı (FA) devre yapılabilir. Yarım toplayıcı devre iki binary sayının en sağdaki basamaklarını toplayabilir. Tam toplayıcı ise sağdan gelebilecek eldeleri de hesaba katabilir. Böylece tam toplayıcı herhangi bir basamakta toplama işlemi yapabilir. Şekil 4.5'te kapılarla gerçekleştirilmiş tam toplayıcı devresi ve doğruluk tablosu görülmektedir. Devre şeması yarım toplayıcı blokların açılmalarıyla elde edilmiştir.



Şekil 4.5: Tam toplayıcı devresi ve doğruluk tablosu

4.1.3. Paralel Toplayıcı

Tam toplayıcı devre iki binary sayının sadece bir sütununu toplayabilir. İki binary sayının bütün basamaklarının toplanıp sonucun elde edilebilmesi için tam toplayıcıların paralel olarak bağlanması gerekir. Şekil 4.6'da dört bitlik iki binary sayıyı toplayan 4-bit paralel toplayıcı görülmektedir.

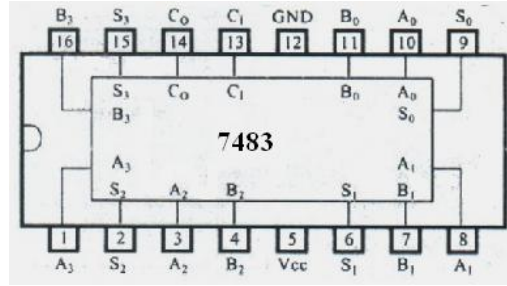


Şekil 4.6: 4-bit paralel toplayıcı

Şekil 4.6'da görülen devre dört bitlik iki binary sayıyı toplayabilir. Birinci sayı A1, A2, A3, A4 girişlerine; ikinci sayı ise B1, B2, B3 ve B4 girişlerine uygulanır. Sayıların toplamı S1, S2, S3, S4 ve C₀ uçlarından elde edilir. Örneğin girişlere 1011 ve 1001 sayılan uygulanırsa çıkışta bu iki sayının toplamı olan 10100 sayısı elde edilecektir.

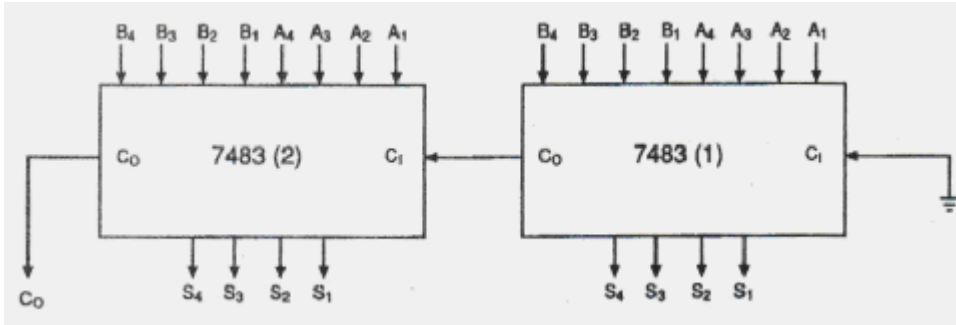
4.1.4. TTL 7483 Entegresiyle Toplayıcı Tasarımı

Uygulamada 4-bit paralel toplayıcı olarak TTL 7483 entegresi kullanılmaktadır. Şekil 4.7'de TTL 7483 entegresinin ayak bağlantıları görülmektedir. 7483 entegresinde 4 bitlik iki binary sayı toplanırken birinci sayı A1, A2, A3, A4 girişlerine; ikinci sayı ise B1, B2, B3 ve B4 girişlerine uygulanır. Sayıların toplamı S1, S2, S3, S4 ve C₀ uçlarından elde edilir. 4 bitlik iki sayının toplanmasında C1 ucu şaseye bağlanmalıdır.



Şekil 4.7: 7483 Entegresinin ayak bağlantıları

Birden fazla 7483 entegresi kaskat (peşpeşe) bağlanarak 8, 12, 16.... bitlik sayıları toplamak mümkündür. Şekil 4.8'de iki adet 7483 entegresinin kaskat bağlanmasıyla elde edilmiş 8 bitlik paralel toplayıcı görülmektedir.



Şekil 4.8: 8-bitlik sayıları toplayan paralel toplayıcı

Şekil 4.8'de görülen kaskat bağlı devre 8 bitlik iki binary sayıyı toplamaktadır. 8 bitlik sayılardan ilkinin düşük basamak değerlikli dört biti 1 nu.lı entegrenin A1, A2, A3 ve A4 girişlerine, yüksek basamak değerlikli dört biti ise 2 nu.lı entegrenin A1, A2, A3 ve A4 girişlerine uygulanır. 8 bitlik sayılardan ikincisinin düşük basamak değerlikli dört biti 1 nu.lı entegrenin B1, B2, B3 ve B4 girişlerine, yüksek basamak değerlikli dört biti ise 2 nu.lı entegrenin B1, B2, B3 ve B4 girişlerine uygulanır. Toplam sonucunun düşük basamak değerlikli dört biti 1 nu.lı entegrenin S çıkışlarından, yüksek basamak değerlikli dört biti ise 2 nu.lı entegrenin S çıkışlarından alınır. 2 nu.lı entegrenin C0 çıkışı da toplam sonucunun en

solundaki biti oluşturur. Çünkü 8 bitlik iki sayının toplanması sonucunda bulunan sayı 9 bit genişliğinde olabilir.

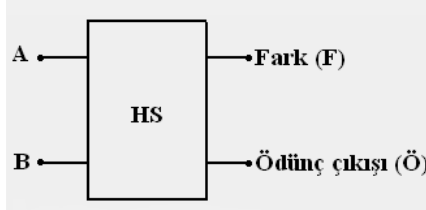
4.2. Çıkarıcılar

Sayılar	Fark	Ödünç
0 - 0	0	0
0 - 1	1	1
1 - 0	1	0
1 - 1	0	0

Çıkarıcılar, ikili sayılarda çıkarma işlemini gerçekleştirir. Aşağıda ikili sistemde çıkarma işlemlerinde uygulanan kurallar görülmektedir. Toplama işlemi kurallarına göre 0'dan 1 çıkarılırken bir soldaki sütundan 1 alınarak işlemin yapıldığı sütuna 2 olarak aktarılır. Bu nedenle fark 1, ödünç 1 olur.

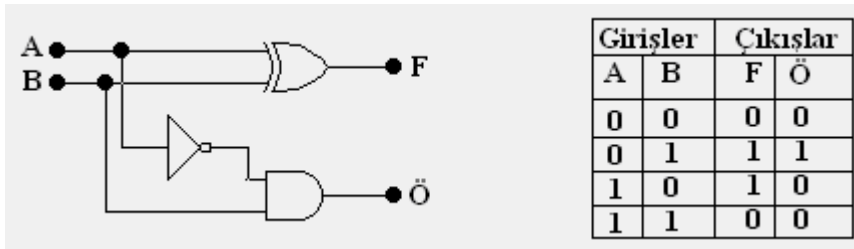
4.2.1. Yarım Çıkarıcı (Half Subtractor-HS)

Her ikisi de birer basamaklı olan sayıların çıkarma işleminde yarım çıkarıcı (half subtractor-HS) devresi kullanılır. Yarım çıkarıcılar HS kısaltmasıyla gösterilir. HS, İngilizce'de "yarım çıkarıcı" anlamına gelen "half subtractor" sözcüklerinin ilk harflerinden türetilmiştir. Şekil 4.9'da yarım çıkarıcı devrenin blok diyagramı görülmektedir.



Şekil 4.9: Yarım çıkarıcı blok diyagramı

Yarım çıkarıcının iki giriş iki çıkış ucu bulunmaktadır. A ve B uçları giriş uçlarıdır. HA devresinin çıkışları ise F ve Ö ile gösterilir. F ucu fark, Ö ise ödünç ucudur. Şekil 4.10'da kapılarla gerçekleştirilmiş yarım çıkarıcı devre ve doğruluk tablosu görülmektedir.

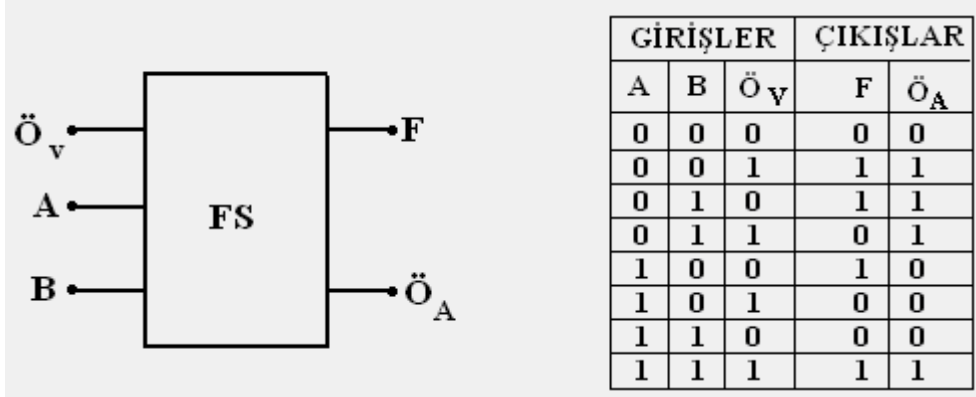


Şekil 4.10: Yarım çıkarıcı devre ve doğruluk tablosu

Yarım çıkarıcıda A girişine çıkan, B girişine ise çıkarılan sayı uygulanır. İki sayının farkı F ucunda belirir. Diğer basamaktan ödünç alınması gerekmişse Ö çıkışında 1 sayısı oluşur.

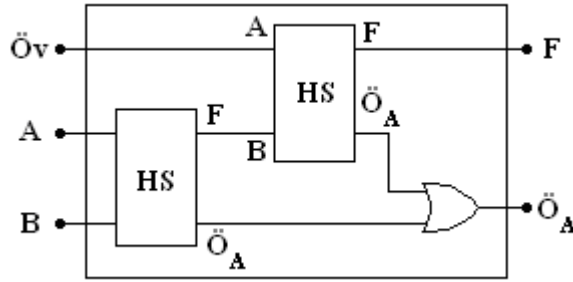
4.2.2. Tam Çıkarıcı (Full Subtractor-FS)

Tam çıkarıcılar FS kısaltmasıyla gösterilir. FS, İngilizce’de “tam çıkarıcı” anlamına gelen “full subtractor” sözcüklerinin ilk harflerinden oluşmuştur. Şekil 4.11’de tam çıkarıcı devrenin blok diyagramı ve doğruluk tablosu görülmektedir.



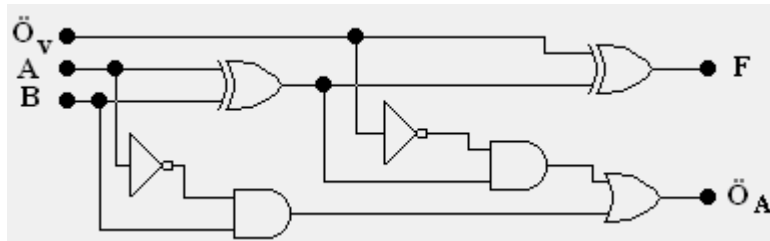
Şekil 4.11: Tam çıkarıcı blok diyagramı ve doğruluk tablosu

Tam çıkarıcının üç giriş iki çıkış ucu bulunmaktadır. A ucuna çıkarılan, B ucuna çıkan sayı uygulanır. Ö_v ucu bu basamağın ödünç verdiği sayıyı gösterir. FS devresinin çıkışları F ve Ö_A ile gösterilir. İki sayı arasındaki fark F ucunda belirir. Ö_A ise bu basamağın ödünç aldığı sayıyı gösterir. İki adet yarım çıkarıcı (HS) devresiyle bir VEYA kapısı kullanılarak tam çıkarıcı devre yapılabilir.



Şekil 4.12: İki adet HS devresiyle gerçekleştirilmiş tam çıkarıcı

Şekil 4.13’te kapılarla gerçekleştirilmiş tam çıkarıcı devresi görülmektedir. Devre şeması yarım çıkarıcı blokların açılmalarıyla elde edilmiştir.



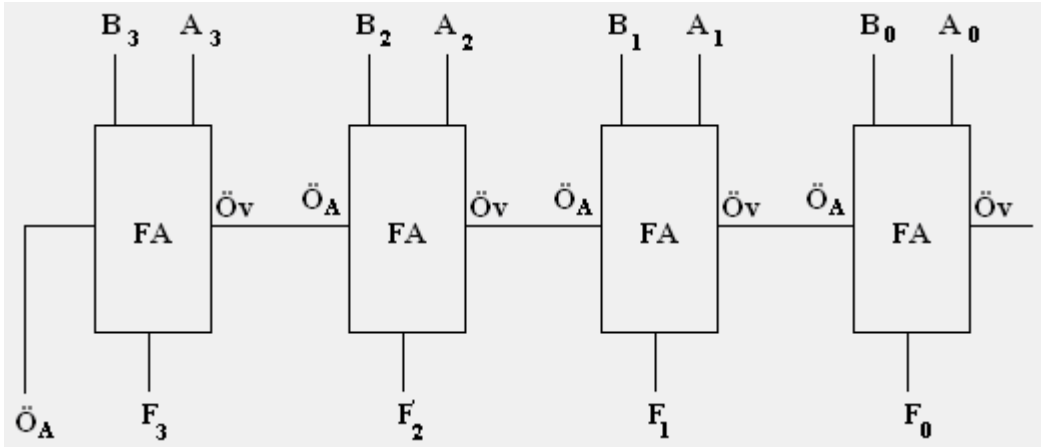
Şekil 4.13: Kapılarla gerçekleştirilmiş tam çıkarıcı devre

Şekil 4.13'teki tam çıkarıcı devre iki binary sayının sadece bir basamağına ait çıkarma işlemini yapar. Devrenin ödünç girişi ve çıkışı bulunduğu için bu basamak herhangi bir basamak olabilir. Yarım çıkarıcıda ise ödünç giriş ucu (Öv) bulunmadığı için yarım çıkarıcılar sadece en sağdaki basamaktaki çıkarma işlemini gerçekleştirebilir.

4.2.3. Paralel Çıkarıcı

Tam çıkarıcı devre iki binary sayının sadece bir sütundaki çıkarma işlemini yapabilir. İki binary sayının bütün basamaklarının çıkarma işlemine tabi tutulması ve sonucun elde edilebilmesi için tam çıkarıcıların paralel olarak bağlanması gerekir. Şekil 4.14'te dört bitlik iki binary sayıyı çıkaran 4-bit paralel çıkarıcı görülmektedir.

En sağdaki bit için yarım çıkarıcı (HS) kullanılabilir. İşleme en az değerlikli bitlerden başlanır. A sayısının en sağdaki bitinden (A_0), B sayısının en sağdaki biti (B_0) çıkarılır. $B > A$ ise A'nın hemen solundaki bitten (A_1) borç alınır. A_0 'nın üzerine iki adet 1 olarak eklenir. Eğer bit sayısı bittiği hâlde borç devam ediyorsa en soldaki ÖA 1 olur.



Şekil 4.14: 4-bit paralel çıkarıcı

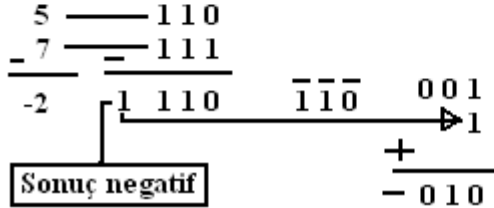
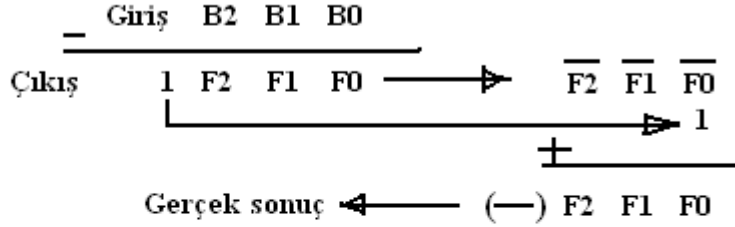
Bu devredeki FA sayısı artırılarak daha çok basamaklı ikili sayıların çıkarma işlemleri gerçekleştirilebilir. Şekil 4.15'te 3-bitlik örnek bir paralel çıkarıcı doğruluk tablosu verilmiştir.

DECİMAL İŞLEM			GİRİŞ A			GİRİŞ B			ÇIKIŞLAR			
A	B	F=A-B	A2	A1	A0	B2	B1	B0	ÖA	F2	F1	F0
7	1	6	1	1	1	0	0	1	0	1	1	0
6	1	5	1	1	0	0	0	1	0	1	0	1
3	3	0	0	1	1	0	1	1	0	0	0	0
5	7	-2	1	0	1	1	1	1	1	1	1	0
0	7	-7	0	0	0	1	1	1	1	0	0	1

Şekil 4.15: 3-bitlik paralel çıkarıcı doğruluk tablosu

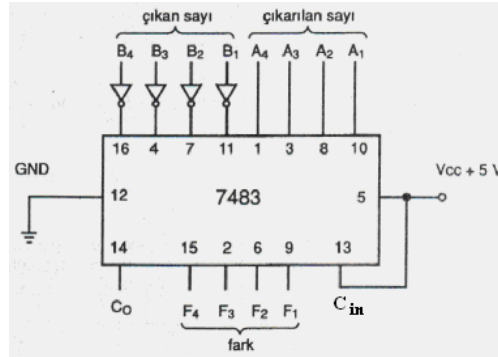
Doğruluk tablosu incelendiğinde B sayısı A sayısından büyük ($B > A$) olduğunda borç çıkışı 1 olur. ÖA'nın 1 olması farkın (F) negatif değerlikli olduğunu belirtir. Çıkış tablodaki gibi olur. Ancak negatif değerlikli sayılar için gerçek sonuç aşağıda belirtilen işlemden sonra ortaya çıkar.

A < B durumunda Giriş A2 A1 A0



4.2.4. TTL 7483 Entegresiyle Çıkarıcı Devre Tasarımı

Daha önce toplayıcı tasarımında kullanmış olduğumuz 7483 entegresi çıkarıcı olarak da bağlanabilmektedir. Şekil 4.16'da 4 bitlik iki binary sayının farkını bulan devre görülmektedir



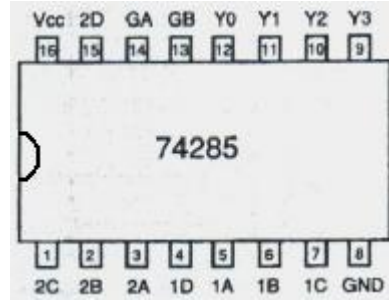
Şekil 4.16: Entegreli 4-bitlik paralel çıkarıcı

İkili sayılarla çıkarma işlemi, ikiye tümleyen yöntemi kullanılarak sadece DEĞİL'leme (sayıdaki 1'lerin 0, 0'ların 1 yapılması) ve toplama işlemiyle gerçekleştirilir. Böylece toplama işlemi yapan bir devreyle çıkarma işlemi de yapılabilir. Çıkarma işlemi için ayrı bir donanım gerekmez.

Bir sayının ikiye tümleyenini almak için önce ikili sayıdaki tüm 1'ler 0, tüm 0'lar da 1 yapılır. Bulunan yeni sayıya 1 eklenir. Şekil 4.16'daki devrede çıkarılan sayı A grubu

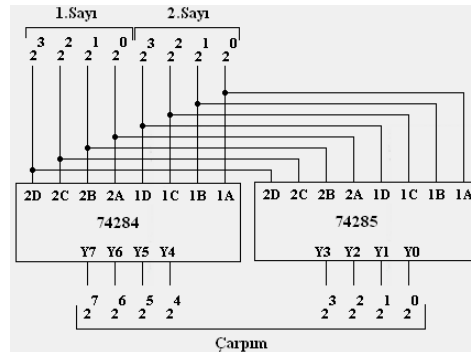
girişlere uygulanır. Çıkan sayı ise terslenerek B grubu girişlere uygulanır. Böylece B grubu sayısının bütün bitleri terslenmiş olur. Cin girişi lojik 1 düzeyine bağlanarak çıkan sayıya 1 eklenmiş olur. Böylece ikiye tümleme işlemi tamamlanır. 7483 entegresi normal toplama işlemi yapar. Çıkarılan sayıyla çıkan sayının tümleyeni toplandığında iki sayının farkı entegre çıkışlarında okunur. Sonucun negatif veya pozitif olduğu C_o çıkışından anlaşılır. C_o çıkışında lojik 1 düzeyi varsa çıkış pozitif, lojik 0 düzeyi varsa çıkış negatiftir.

4.3. Çarpma Devresi



Şekil 4.17: 74285 4-bitlik çarpma entegresi

TTL 742854 ve TTL 74285 entegreleri çarpma devrelerinde yaygın olarak kullanılmaktadır. Şekil 4.17’de 74285 entegresi ayak bağlantıları görülmektedir. 74285 entegresinde çarpılacak sayılardan birincisi 1A, 1B, 1C ve 1D girişlerine, ikincisiyse 2A, 2B, 2C ve 2D uçlarına uygulanır. Çıkışlar Y0, Y1, Y2 ve Y3 uçlarından alınır. GA ve GB uçları izin girişleridir. Normal çalışma için bu uçlara lojik 0 uygulanır. Dikkat edilirse 74285 entegresinin dört çıkış ucu bulunmaktadır. Oysa 4 bitlik iki sayının çarpılmasında 4 bitlik çıkış yeterli değildir. Bu nedenle 4 bitlik sayıların çarpılmasında 74285 entegresi 74284 entegresiyle paralel bağlanır. 74284 entegresinin ayak bağlantıları 74285 entegresindeki gibidir. Sadece 74284 entegresinde çıkış uçları Y4, Y5, Y6 ve Y7 olarak adlandırılmıştır. 74284 entegresinde 12 nu.lu ayak Y4, 11 nu.lu ayak Y5, 10 nu.lu ayak Y6, 9 nu.lu ayak Y7 çıkışıdır. Şekil 4.18’de 74284 ve 74285 entegrelerinin paralel bağlanmalarıyla elde edilen 4 bitlik çarpma devresi görülmektedir.



Şekil 4.18. Entegreli 4-bit çarpma devresi

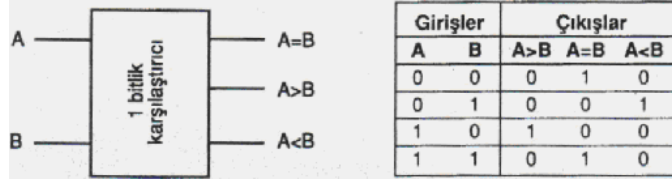
Şekil 4.18’deki devre girişlerine uygulanan 4 bitlik iki sayıyı çarpır. Devre çalıştırılırken her iki entegrenin de GA ve GB uçları şaseye bağlanmalıdır.

4.4. Karşılaştırıcılar (Comparator)

Girişlerindeki iki sayıyı karşılaştırarak hangisinin büyük, hangisinin küçük ya da eşit olduklarını bulan devreler karşılaştırıcı (comparator) olarak adlandırılır. Bu amaçla kullanılan entegreler kataloglarda büyüklük karşılaştırıcı (magnitude comparator) olarak adlandırılmaktadır. İki sayısal değerın karşılaştırılarak sonucun elde edilmesi mikroişlemci tabanlı sistemlerde (örneğin bilgisayarlarda) aritmetik işlemlerle dallanma ve döngü işlemleri için gereklidir.

4.4.1. Bir Bitlik Karşılaştırıcı Devresi

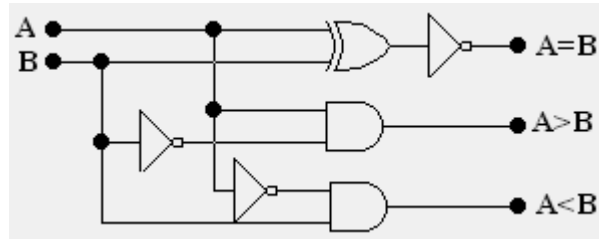
Bu devre bir bit düzeyinde karşılaştırma işlemi yapmaktadır. Devrenin iki giriş üç çıkış ucu bulunur. Şekil 4.19'da bir bitlik karşılaştırıcı blok diyagramı ve doğruluk tablosu görülmektedir.



Şekil 4.19: Bir bitlik karşılaştırıcı ve blok diyagramı

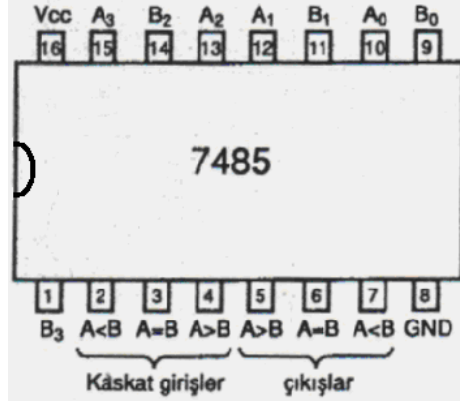
Şekil 4.20'de ise kapılarla gerçekleştirilmiş bir bitlik karşılaştırıcı devre şeması görülmektedir. Devrede üç DEĞİL'leyici, iki adet VE kapısı, bir de ÖZEL VEYA kapısı kullanılmıştır.

Şekil 4.20'deki devre bir bit düzeyinde karşılaştırma yapmaktadır. Girişler eşit olduğunda (yani her ikisi de 1 veya her ikisi de 0) A=B çıkışı 1, diğer çıkışlar 0 olur. A girişi 1, B girişi 0 olduğunda A>B çıkışı 1 diğer çıkışlar 0 olur. A girişi 0, B girişi 1 olduğunda ise A<B çıkışı 1, diğer çıkışlar 0 olur.

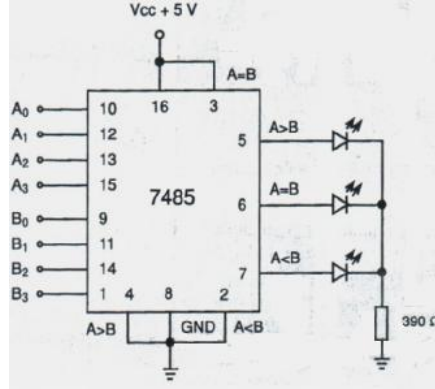


Şekil 4.20: Bir bitlik karşılaştırıcı devre şeması

4.4.2. Karşılaştırma İşlemi Yapan Entegre Devreler



Şekil 4.21: 7485 karşılaştırıcı entegresi ayak bağlantısı



Şekil 4.22: 7485 entegreli 4 bitlik karşılaştırıcı devresi

TTL 7485 entegresi 4 bitlik iki sayıyı karşılaştırır. Şekil 4.21’de 7485 entegresi ayak bağlantıları görülmektedir. Karşılaştırılacak 4 bitlik sayılardan birisi A3, A2, A1 ve A0 girişlerine, ikincisi ise B3, B2, B1 ve B0 girişlerine uygulanır. A girişlerine uygulanan sayı B girişlerine uygulanan sayıdan daha büyükse A>B çıkışında lojik 1, diğer çıkışlarda lojik 0 oluşur. B grubuna uygulanan sayı A grubuna uygulanan sayıdan daha büyükse A<B çıkışında lojik 1, diğer çıkışlarda lojik 0 oluşur. A ve B gruplarına uygulanan sayılar eşit olduğu takdirde A=B çıkışı lojik 1, diğer çıkışlar lojik 0 düzeyinde olur.

Entegrenin kaskat giriş uçları birden fazla 7485 entegresinin kaskat bağlanmasında kullanılır. Devrede bir tek 7483 entegresi varsa kaskat girişlerden A>B ve A<B uçları şaseye, A=B kaskat giriş ucu ise lojik 1 düzeyine bağlanır. Şekil 4.22’de 7485 entegresiyle 4 bitlik iki sayıyı karşılaştıran devre görülmektedir. Şekil 4.22’deki devrede A grubu uçlardan girilen sayı B grubu uçlardan girilen sayıdan büyükse 5 nu.lı uca bağlı olan LED ışık verir. B grubu uçlardan girilen sayı A grubu uçlardan girilen sayıdan büyükse 7 nu.lı uca bağlı olan LED ışık verecektir. Sayılar eşitse 6 nu.lı uca bağlı olan LED yanar. Herhangi bir anda sadece bir çıkış ucu lojik 1 düzeyinde olabilir ve böylece sadece bir LED yanar.

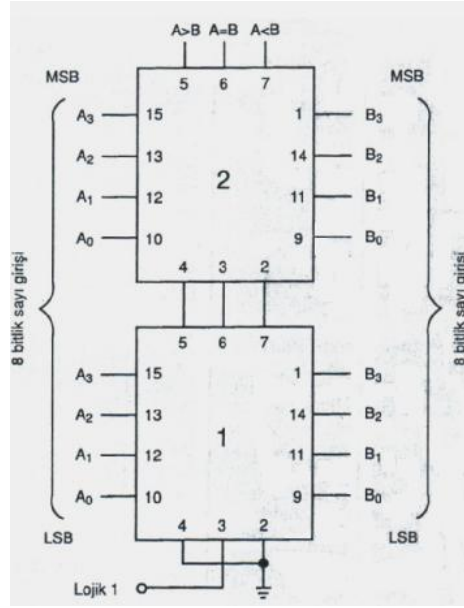
4.4.3. Kaskat Karşılaştırıcılar

8, 12, 16 bitlik sayıların karşılaştırılmaları için birden fazla 7485 entegresi kaskat (peşpeşe) bağlanır. Kaskat bağlantı için önce 7485 entegresinin doğruluk tablosunu inceleyelim.

Sayı girişleri				Kaskat girişler			Çıkışlar		
A3,B3	A2,B2	A1,B1	A0,B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3	X	X	X	X	X	X	1	0	0
A3<B3	X	X	X	X	X	X	0	1	0
A3=B3	A2<B2	X	X	X	X	X	1	0	0
A3=B3	A2<B2	A1>B1	X	X	X	X	0	1	0
A3=B3	A2=B2	A1<B1	X	X	X	X	1	0	0
A3=B3	A2=B2	A1=B1	X	X	X	X	0	1	0
A3=B3	A2=B2	A1=B1	A0>B0	X	X	X	1	0	0
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	1	0	0	1	0	0
A3=B3	A2=B2	A1=B1	A0=B0	0	1	0	0	1	0
A3=B3	A2=B2	A1=B1	A0=B0	0	0	1	0	0	1

Şekil 4.23: 7485 karşılaştırıcı entegresi doğruluk tablosu

Doğruluk tablosundan da görüleceği gibi karşılaştırma işlemine A3, B3 bitlerinden başlanmaktadır ve sonuç buna göre belirlenmektedir. Örneğin eğer A3>B3 ise diğer bitlerin ve kaskat girişlerin durumu ne olursa olsun sonuçta A>B çıkışı lojik 1 olmaktadır. A3=B3 durumunda ise düşük basamak değerlikli bitlerin karşılaştırılmalarına geçilmektedir. 8 bitlik iki sayının karşılaştırılmaları durumunda iki adet 7485 entegresi kaskat bağlanır. Devrenin çıkışı öncelikle sayıların yüksek basamak değerlikli 4 biti karşılaştıran entegre tarafından belirlenir. Düşük basamak değerlikli 4 biti karşılaştıran entegrenin çıkışları yüksek basamak değerlikli bitleri karşılaştıran entegrenin kaskat girişlerine bağlanır. Şekil 4. 24'te iki adet 7485 entegresinin kaskat bağlanmasıyla tasarlanmış 8 bitlik karşılaştırıcı devresi görülmektedir. Karşılaştırılacak 8 bitlik iki sayının düşük basamak değerlikli 4 biti 1 nu.lı entegrenin sayı giriş uçlarına bağlanmaktadır. 1 nu.lı entegrenin çıkış uçları 2 nu.lı entegrenin kaskat giriş uçlarına bağlanmıştır. 8 bitlik sayıların yüksek basamak değerlikli 4 bitlik bölümleri de 2 nu.lı entegrenin sayı girişlerine bağlanır. 2 nu.lı entegrenin çıkışları 8 bitlik karşılaştırıcı devrenin çıkış uçlarıdır. Sistemin çıkışı öncelikle karşılaştırılacak sayıların yüksek değerlikli bitlerinin uygulandığı 2 nu.lı entegrenin sayı girişleri tarafından belirlenir. Burada eşitlik olması hâlinde 1 nu.lı entegrenin çıkışlarından alınan değer sistemin çıkışını belirler.



Şekil 4.24: 7485 entegreli 8-bit karşılaştırıcı

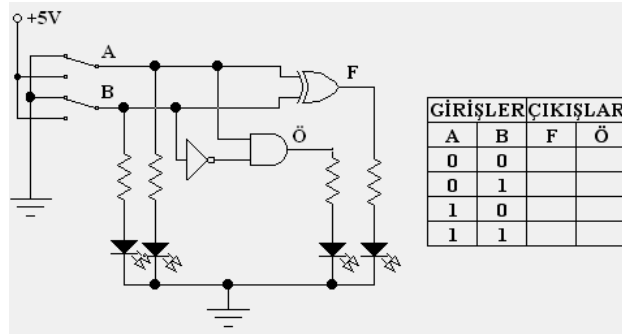
UYGULAMA FAALİYETİ

Yarım çıkarıcı uygulaması yapınız.

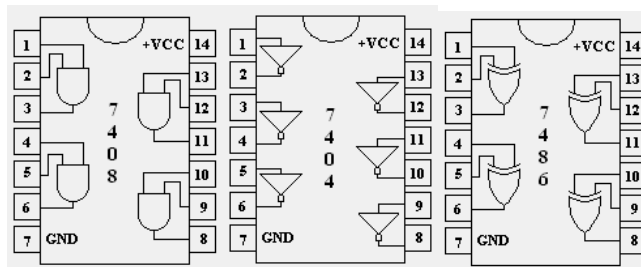
Şekildeki yarım çıkarıcı devresini breadboard üzerinde, verilen işlem basamaklarına uygun şekilde gerçekleştiriniz.

Malzeme listesi:

- 1 adet 7404-7408-7489 entegre
- 4 adet 330 ohm direnç
- 2 adet iki konumlu anahtar
- 4 adet led
- 5V DC güç kaynağı
- Bağlantı iletkenleri



Yarım çıkarıcı uygulama devresi ve doğruluk tablosu



Denyde kullanılacak entegrelerin ayak bağlantıları

İşlem Basamakları	Öneriler
<ul style="list-style-type: none"> ➤ Çalışma ortamınızı hazırlayınız. 	<ul style="list-style-type: none"> ➤ İş önlüğünüzü giyiniz. ➤ Çalışma masanızı düzenleyiniz. ➤ Çalıştığınız deney masasının üzerinde deney ile ilgisi olmayan araç gereç ve malzemeyi kaldırınız.
<ul style="list-style-type: none"> ➤ Şekildeki devrenin malzemelerini temin ediniz. 	<ul style="list-style-type: none"> ➤ Malzemeleri öğretmeninizin yönlendirmesine göre temin ediniz. ➤ Yarım çıkarıcı devresiyle ilgili bilgilerinizi gözden geçirin. ➤ Malzemelerin sağlamlığını kontrol ediniz.
<ul style="list-style-type: none"> ➤ Devreyi breadboard üzerine kurunuz. 	<ul style="list-style-type: none"> ➤ Elemanların breadboard içerisine tam olarak yerleştiğinden emin olun. ➤ Bağlantı iletkenlerini değişik renklerde kullanmanız, devre takibi açısından size kolaylık sağlar.
<ul style="list-style-type: none"> ➤ Devreyi çalıştırınız. 	<ul style="list-style-type: none"> ➤ Öğretmeninize kontrol ettirmeden devreye enerji uygulamayınız. ➤ Entegrelere besleme gerilimi uygulamayı unutmayınız.
<ul style="list-style-type: none"> ➤ A ve B anahtarlarını tabloda verilen değerlere göre değiştirerek devreye uygulayınız. Çıkışlardaki ledlerin durumlarını gözleyiniz. 	<ul style="list-style-type: none"> ➤ Yarım toplayıcı doğruluk tablosunu doldurunuz. Bulduğunuz sonuçları doğruluk tablosuyla karşılaştırınız. Farklılık varsa devre bağlantınızı kontrol ediniz.
<ul style="list-style-type: none"> ➤ Enerjiyi kestikten sonra devre bağlantılarını sökünüz. Elde ettiğiniz sonuçları arkadaşlarınızla tartışarak değerlendirme testi sonuçları ile birlikte öğretmeninize rapor ediniz. 	<ul style="list-style-type: none"> ➤ Ölçüm sonuçlarını arkadaşlarınızla karşılaştırınız. ➤ Kullandığınız malzemeleri tam ve sağlam olarak teslim ediniz.

KONTROL LİSTESİ

Bu öğrenme faaliyeti kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadığınız beceriler için **Hayır** kutucuğuna (X) işareti koyarak kendinizi değerlendiriniz.

Değerlendirme Ölçütleri		Evet	Hayır
1	Toplayıcı mantığını kavrayabildiniz mi?		
2	Toplayıcı entegreleri biliyor musunuz?		
3	Çıkarıcı mantığını kavrayabildiniz mi?		
4	Çarpma devrelerinin çalışma prensibini biliyor musunuz?		
5	Çarpma entegrelerini biliyor musunuz?		
6	Karşılaştırmalı devrelerinin çalışma prensibini biliyor musunuz?		
7	Karşılaştırmalı entegrelerini biliyor musunuz?		

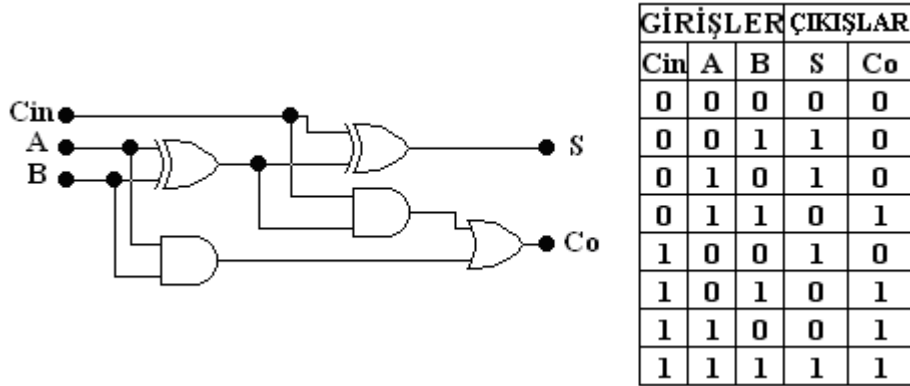
DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise “Ölçme ve Değerlendirme”ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

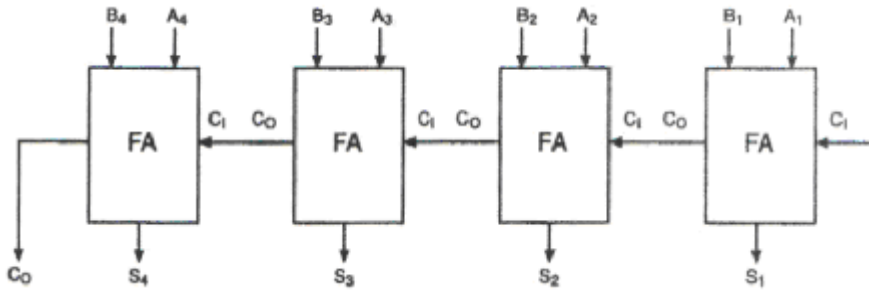
Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1. Şekilde görülen devrenin yaptığı işlem aşağıdakilerden hangisidir?



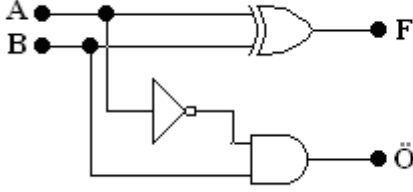
- A) Yarım toplayıcı
B) Tam toplayıcı
C) Yarım çıkarıcı
D) Tam çıkarıcı

2. Şekilde görülen devrenin yaptığı işlem aşağıdakilerden hangisidir?



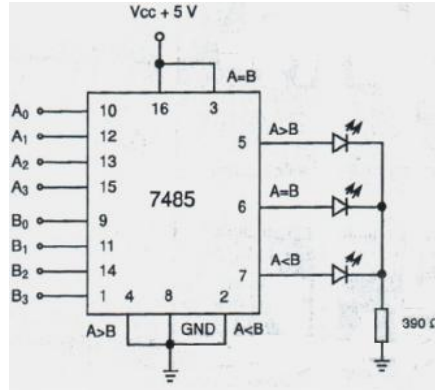
- A) 2-bit paralel toplayıcı
B) 4-bit paralel toplayıcı
C) 2-bit seri toplayıcı
D) 4-bit seri toplayıcı

3. Şekilde görülen devrenin yaptığı işlem aşağıdakilerden hangisidir?



Girişler		Çıkışlar	
A	B	F	Ö
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

- A) Yarım çıkarıcı devresi ve doğruluk tablosu
B) Tam çıkarıcı devresi ve doğruluk tablosu
C) Yarım toplayıcı devresi ve doğruluk tablosu
D) Tam toplayıcı devresi ve doğruluk tablosu
4. Çarpma işlemi için kullanılan entegrelerin adı nedir?
A) 74284 ve 74285
B) 7483
C) 7485
D) 7486
5. Şekilde görülen devrenin yaptığı işlem aşağıdakilerden hangisidir?



- A) 1 bitlik karşılaştırıcı devresi
B) 2 bitlik karşılaştırıcı devresi
C) 3 bitlik karşılaştırıcı devresi
D) 4 bitlik karşılaştırıcı devresi

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki öğrenme faaliyetine geçiniz.

ÖĞRENME FAALİYETİ-5

AMAÇ

Uçak sistemlerinde kullanılan lojik şemaları hatasız olarak okuyabileceksiniz.

ARAŞTIRMA

- İmkânlar dâhilinde uçak bakım şirketleri ile irtibata geçip ilgili konuyu araştırınız.

5. UÇAK SİSTEMLERİNDE KULLANILAN UYGULAMALAR, ŞEMATİK GRAFİKLER

Lojik devreler uçaklardaki elektronik sistemlerin vazgeçilmez temel devreleridir. Uçaklardaki elektronik sistemlerin birçoğunda lojik uygulamalar karşımıza çıkar. Uçaklardaki hidrolik sistemler, iniş takımları, otomatik pilot sistemleri, uçuş güvenlik sistemi vb. birçok sistemlerde lojik devreler kullanılmaktadır. Burada örnek olarak AIRBUS A310 tipi uçaklardaki otomatik pilot (AP) sisteminin devreye alınması ve devreden çıkarılması durumlarında kullanılan lojik uygulamalar anlatılacaktır.

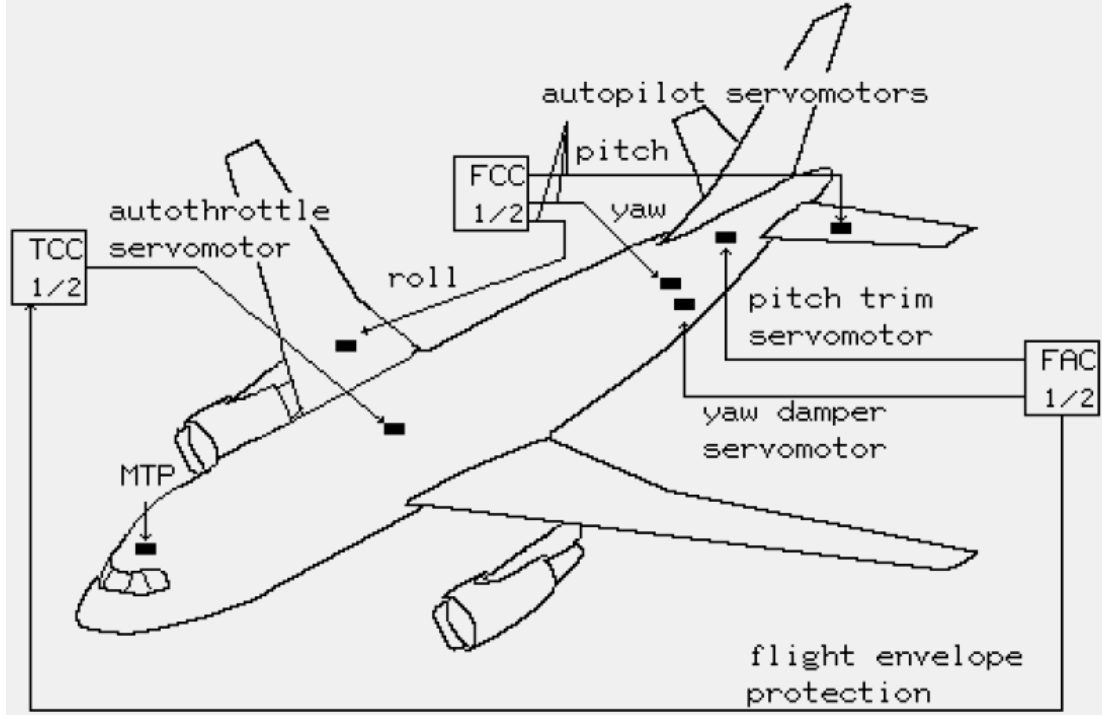
Otomatik pilot iki modda devreye alınabilir. Bunlar:

- CWS (Control Wheel Steering) modu: Yarı otomatik moddur. Lövyeden yani kumanda kolundan otomatik pilot bilgisayarlarına bilgi gönderilir. Otomatik pilot bilgisayarları da kumanda yüzeylerini hareket ettirir.
- CMD (Command) modu: Tam otomatik moddur. Sisteme kumanda sadece bilgisayar ile yapılabilir.

CMD ve CWS MOD için genel şartlar şunlardır:

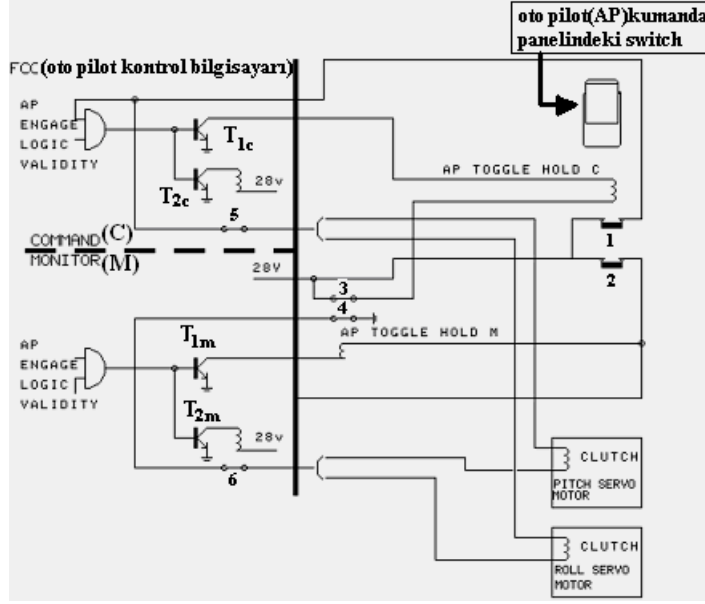
- HYDRAULIC PRESSURE MONITORING: Hidrolik sistem basıncının izlenmesi (var-yok; yeterli-yetersiz)
- SERVO HYDRAULIC PRESSURE: Uçuş kumanda yüzeylerini hareket ettiren servoların basıncının kontrolü
- FACs (Flight Augmentation Computer) ENGAGE CONDITIONS: Uçuş güvenlik bilgisayarının (FAC) durumunun kontrolü (sağlıklı –yerde –faal)
- AP INSTINCTIVE DISCONNECT: Oto pilotun (AP) devreden çıkarılması
- FLAPS/SLATS MONITORING: Flapların ve slatların kontrolünün izlenmesi
- IRS MONITORING: IRS (inertial referance system) sistemin kontrolü (sağlıklı-yerde-faal)
- LANDING GEAR MONITORING: İniş takımlarının izlenmesi (açık-kapalı-kilitli-kilitsiz)

- FCC (Flight Control Computer) INTERNAL MONITORING: Oto pilot kontrol bilgisayarını (FCC) dâhili izleme (sağlıklı-yerinde-faal)
- SERVO LOOP MONITORING: Servoların devre devamlılık kontrolü (sağlıklı-yerinde-faal)
- SERVO CLUTCHES MONITORING: Servoların kilitlerinin izlenmesi (servoların devreye girip girmediğinin doğrulanması)
- CWS SENSOR MONITORING: Yarı otomatik mod olan CWS modunun sensörlerinin izlenmesi



Şekil 5.1: Oto pilot servo motorları

5.1. Lojik Grafiklerin Açıklanması



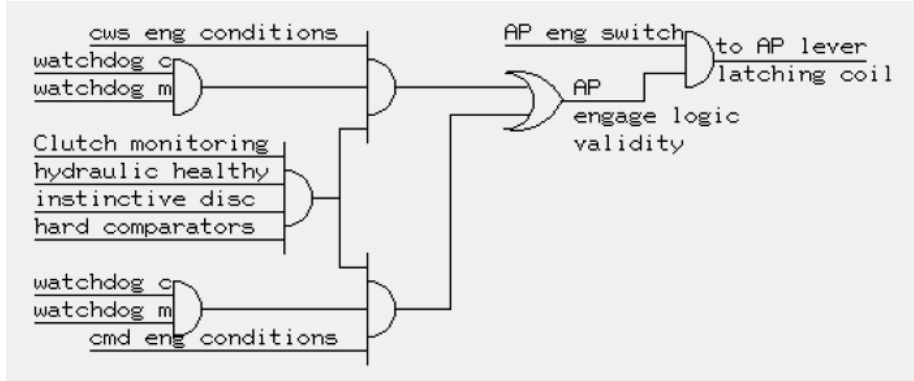
Şekil 5.2: Oto pilotun devreye alınması

Şekil 5.2’de oto pilotun devreye alınması görülmektedir. Oto pilot kumanda panelindeki küçük kolun switch’in yukarı konuma getirilmesi ile 1 ve 2 nu.lı kontaklar kapanır, komutları gerçekleştiren (command) ve bu komutları izleyen (monitor) devreye 28 volt dc gönderilir.

Her iki kısım (komutları gerçekleştiren: command ve bu komutları izleyen monitör kanalı) için de geçerli olmak üzere oto pilot (AP) devreye konma girişi (AP engage) ve devre sağlıklı girişi (logic validity) bir olduğunda VE kapısı çıkışı 1 olacağı için her iki kanalın transistörleri (T1c-T1m) iletime geçer. 3 ve 4 nu.lı kontaktların kapanmasıyla biraz önce yukarı alınan kol elektromanyetik olarak yukarıda kilitlenir.

Aynı zamanda T2c ve T2m transistörleri de iletime geçeceği için bu transistörlerin kolektörlerine bağlı olan roleler enerjilenerek 5 ve 6 nu.lı kontaklar kapanır. Bu kontaklara bağlı olan dikey (pitch) ve yatay (roll) servo motorları (uçağı kumanda etmek için) uçuş kumanda yüzeylerine bağlanır.

Şekil 5.3’te AP engage lojik validity sinyalinin oluşma şartlarının lojik devresi görülmektedir. Şekil 5.2’deki VE kapısı girişi (AP engage logic validity) Şekil 5.3’teki VEYA kapısı çıkışından almaktadır.



Şekil 5.3: AP engage lojik validity sinyalinin oluşma şartlarının lojik devresi

AP (oto pilot)nin devreye girme şartları (yazılım olarak değil) donanım olarak tasarlanmıştır.

Bu şartlar her iki kanal tarafından da değerlendirilir ve AP devreye koyma kolunun, manyetik kilitleme bobininin enerjilendirilmesinde ve diğer kilitleme devrelerinde rol oynar.

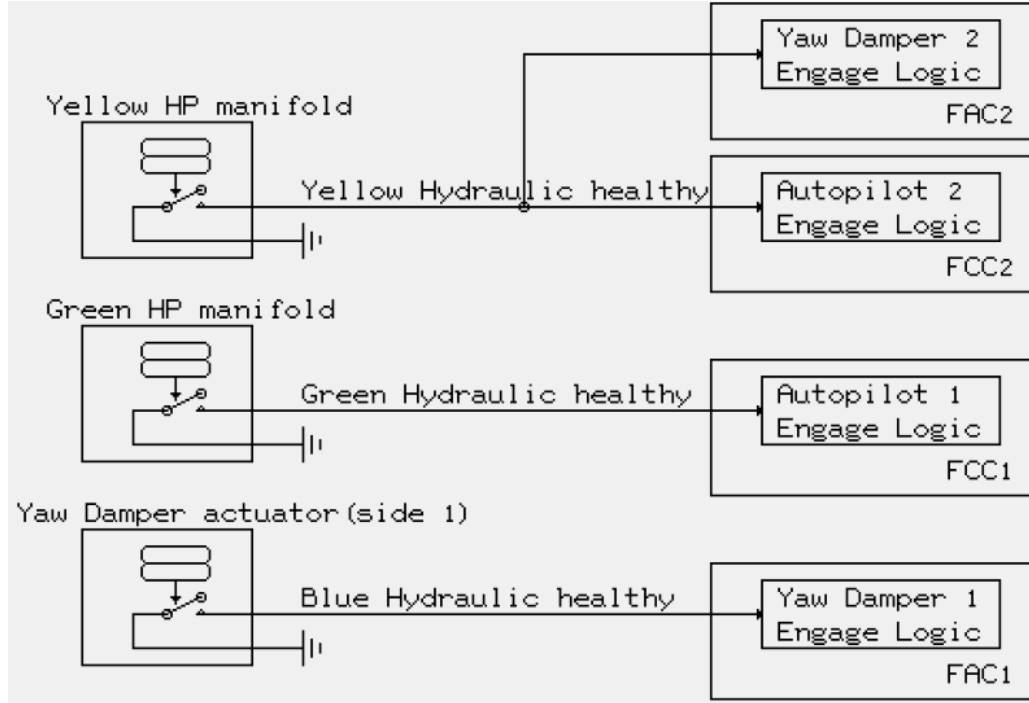
5.1.1. Hidrolik Basıncının Değerlendirilmesi (Hydraulic Pressure Monitoring)

Hidrolik basınç var=1
Hidrolik basınç yok=0

Oto pilot yatay (roll)-dikey (pitch)-istikamet (yaw) akçuatörleri, FCC 1 (otopilot 1) devrede olduğunda yeşil hidrolik sistemden, FCC 2 (oto pilot 2) devrede olduğunda ise sarı hidrolik sistemden basınçlandırılır. Hidrolik basıncın var olduğunu bize doğrulayan basınç hissedicileri;

- Bir adet yeşil hidrolik sistem yüksek basınç (HP) manifoldunun üzerinde,
- Bir adet sarı hidrolik sistem yüksek basınç (HP) manifoldunun üzerinde bulunur.

Bu basınç hissedicileri basınç var (yeterli-healthy) olduğunda sisteme şase -1- yollar.



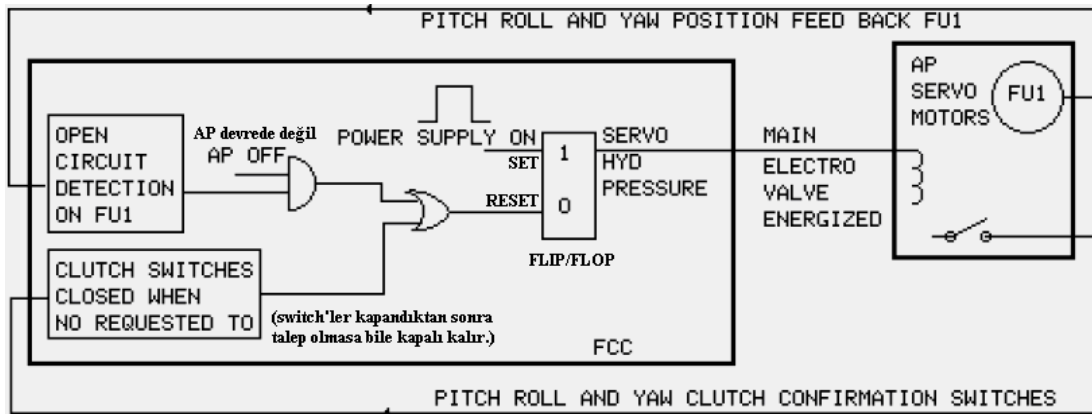
Şekil 5.4: Hidrolik basıncın değerlendirilmesi

Basınç switchleri (hissedicileri) daha önceden belirlenmiş, basınç değeri 100 barı geçer geçmez sisteme bir şase (ground) yollar.

Sarı ve yeşil hidrolik sisteminin basıncını sağlayan switch'ler ilgili sistemin yüksek basınç manifoldunun üzerine takılmıştır.

Mavi sistemin basınç switch'i ise istikamet (yaw) akçuatörünün içine monte edilmiştir

5.1.2. Servo Hidrolik Basıncının Kontrolü (Servo Hydraulic Pressure)

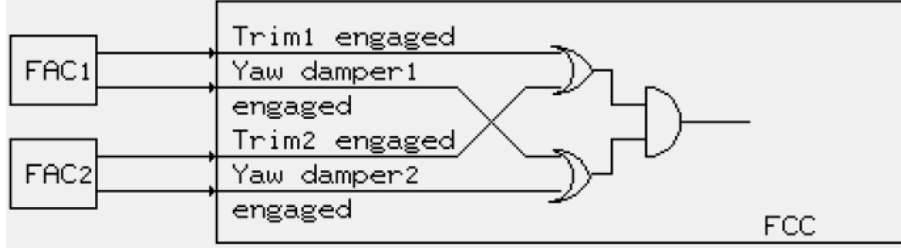


Şekil 5.5: Servo hidrolik basıncın kontrolü

Oto pilot servo motorları, oto pilot kontrol bilgisayarları (FCC) elektrikli olarak enerjilenir enerjilenmez basınçlanır.

Servoların basınçlanması şartı, oto pilotun devreye girmesi için gereklidir.

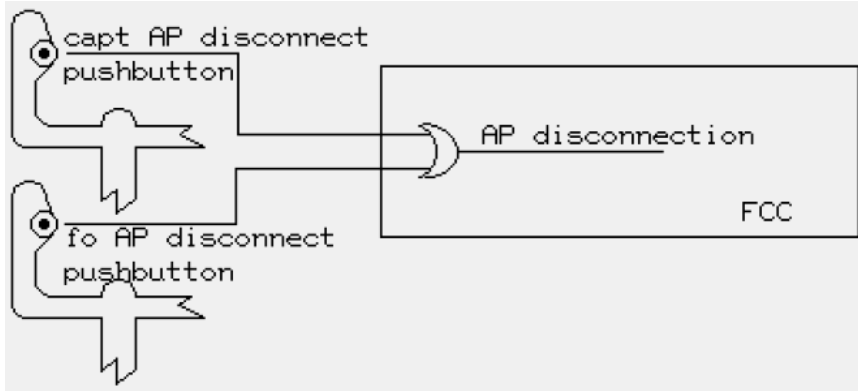
5.1.3. Uçuş Güvenlik Bilgisayarının Kontrolü (Facs-Flight Augmentation Computer-Engage Conditions)



Şekil 5.6: Uçuş güvenlik bilgisayarının kontrolü

FAC'lar trim ve yav dampir (yaw damper) durumlarını gösterir bir "belirteç sinyal" (discrete) gönderir. Oto pilotlardan birini devreye sokabilmek için en az bir trim ve bir yaw dampir sinyali gereklidir.

5.1.4. Oto Pilotu Normal Devreden Çıkartma (Ap Instinctive Disconnect)

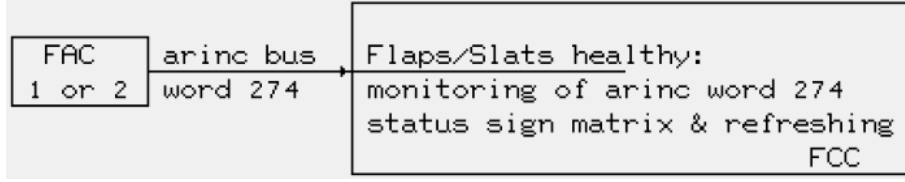


Şekil 5.7: Oto pilotun devreden çıkarılması

Oto pilotu devreden çıkarmak için kullanılan her iki switch, direkt olarak oto pilotun devreye sokulduğu kolun manyetik kilitleme bobinini kumanda eder.

Herhangi bir switch'e basma VEYA çıkışı 1 yapar. Dolayısıyla AP devreden çıkar.

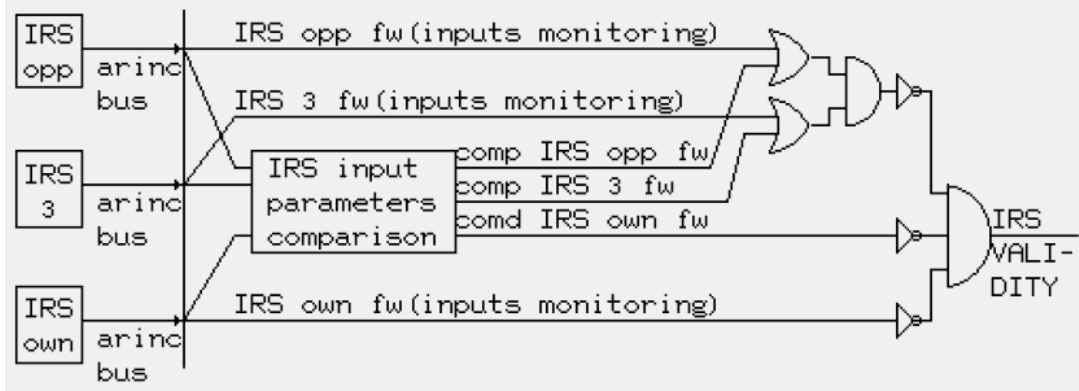
5.1.5. Flapların ve Slatların İzlenmesi (Flaps/Slats Monitoring)



Şekil 5.8: Flap ve slatların kontrolü

Uçuş güvenlik bilgisayarları oto pilot kontrol bilgisayarlarına flapların/slatların durumlarını (açık-kapalı-1° -2°-40° v.b) ARINC değeri olarak bildirir. Bu değerin etiket numarası (label) 274'tür. Oto pilot kontrol bilgisayarı (FCC) aynı zamanda bu değerin sağlıklı olup olmadığını da izler (Flaps/Slats healthy).

5.1.6. Irs (Inertial Reference System) Sisteminin Kontrolü (Irs Monitoring)



Şekil 5.9: IRS sistemin kontrolü

Oto pilotlardan birinin devreye konması için kendi tarafındaki IRS'e (IRS own) ilave olarak ya karşı tarafın IRS'i (IRS opp) ya da 3 numaralı IRS'in sağlıklı (sağlam) olması gereklidir.

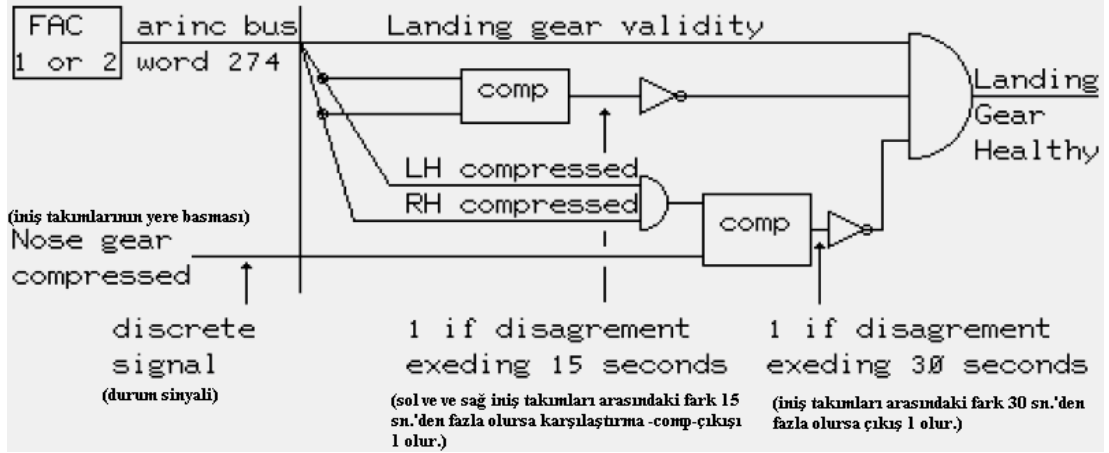
IRS'in sağlam = (ayrı ayrı gelen) girişlerin sağlam olması + gelen değerlerin birbirleri ile karşılaştırma sonuçlarının sağlam olması

Burada arızalı olma durumu 1 mantığı ile değerlendirilmektedir. O yüzden çıkışlar terslenmiştir.

5.1.7. İniş Takımlarının İzlenmesi (Landing Gear Monitoring)

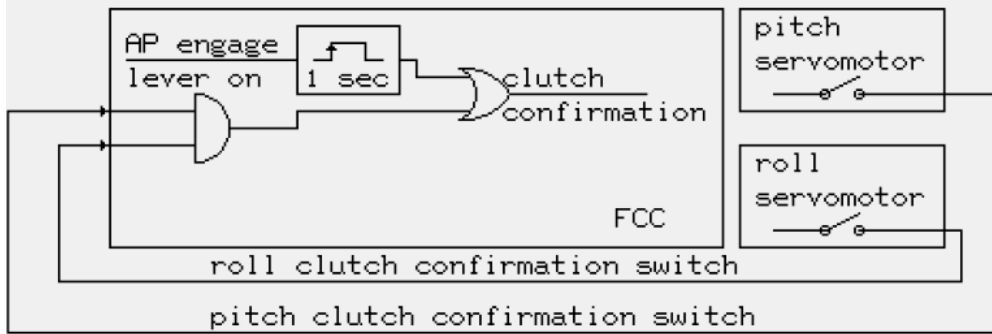
Uçuş güvenlik bilgisayarları, oto pilot kontrol bilgisayarlarına iniş takımlarının (açık-kapalı-kilitli- kilitsiz) durumlarını ARINC değeri olarak bildirir. Bu değerin etiket numarası (label) 274'tür.

Oto pilotun devreye girmesi için iniş takımları durumlarını gösterir sinyalin sağlıklı (sağlam -1-) olması gerekir.



Şekil 5.10: İniş takımlarının izlenmesi

5.1.8. Servoların Kilitlerinin İzlenmesi (Servo Clutches Monitoring)

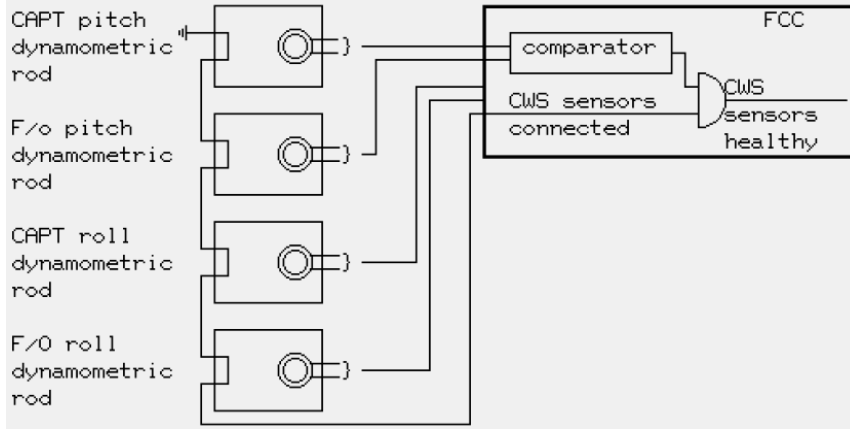


Şekil 5.11: Servo kilitlerinin izlenmesi

Oto pilot devreye girer girmez yatay (roll) ve dikey (pitch) servo motor kilitleri direkt devreye girer. Oto pilot kontrol bilgisayarları (FCC) servo motorların kilitlerini izler ve switch'lerin kapalı olmasını denetler.

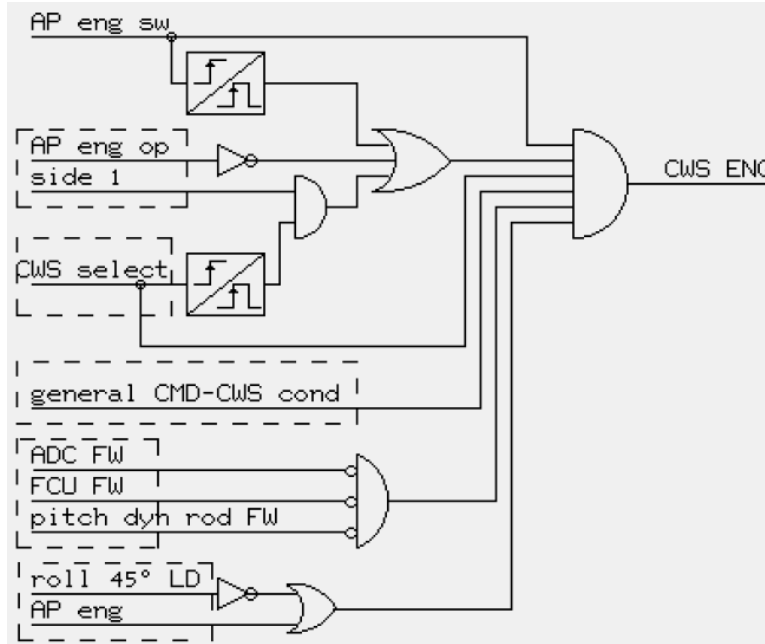
5.1.9. Cws Sensörlerinin İzlenmesi (Cws Sensor Monitoring)

Oto pilot kontrol bilgisayarı (FCC), dinamometrik pistonların fişinin doğru şekilde bağlandığını gösterir bir belirteç sinyal alır.



Şekil 5.12: CWS sensörlerinin izlenmesi

5.1.10. Oto Pilotun Cws Modunda Devreye Girme Şartları



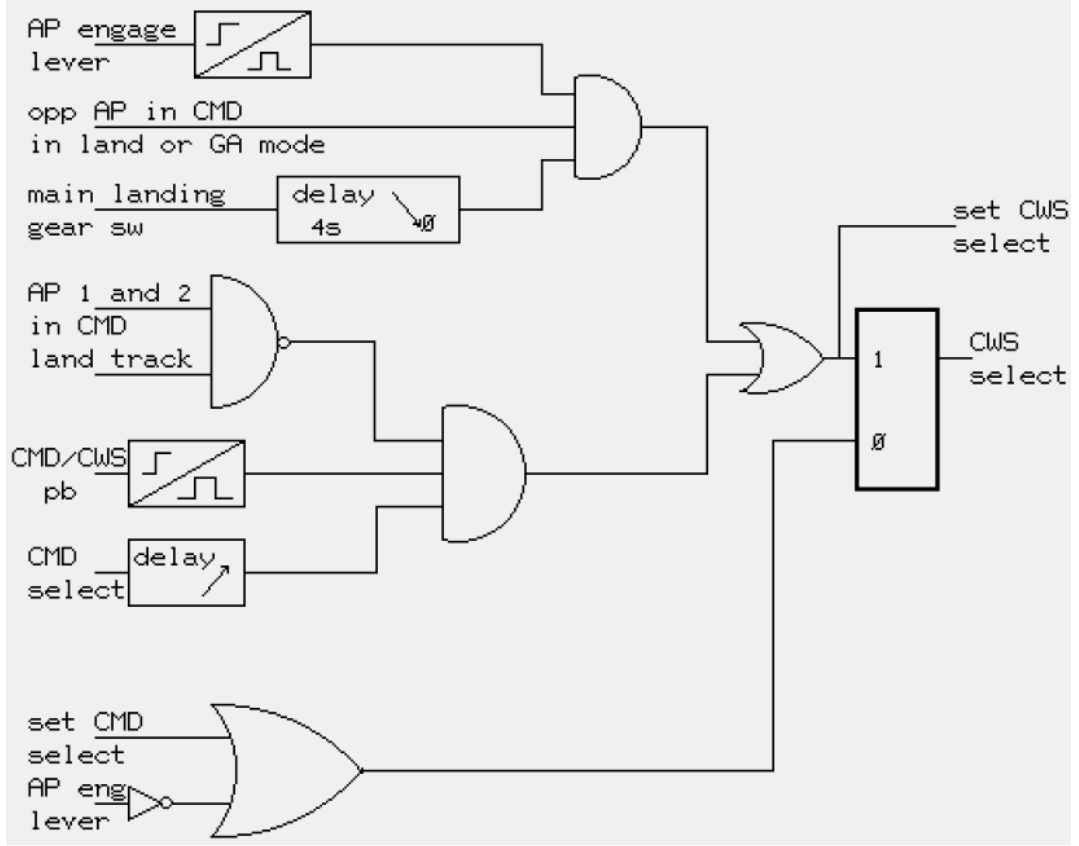
Şekil 5.13: Oto pilotun CWS modunda devreye girme şartları

“CWS ENG” çıkışı 1 olduğunda AP devreye sokma kolu yukarı pozisyonda kalır ve oto pilot (AP) levye ile kontrol modu (CWS) olarak devreye girer.

“Diğer oto pilot devreye girdi sinyali” (AP engage opposite- diğer oto pilot devrede) oto pilot 2’nin devreden çıkmasına sebep olur (pist için hizalama modu devrede değilken -

LAND TRACK). Ve her iki oto pilot devrede iken kaptan CMD_CWS butonuna bastığında oto pilot 1'in CWS modunda devrede kalmasına sebep olur.

CWS seçim sinyali (CWS sel cond) kaptan pilotun CMD-CWS butonuna basması ile oluşturulur.



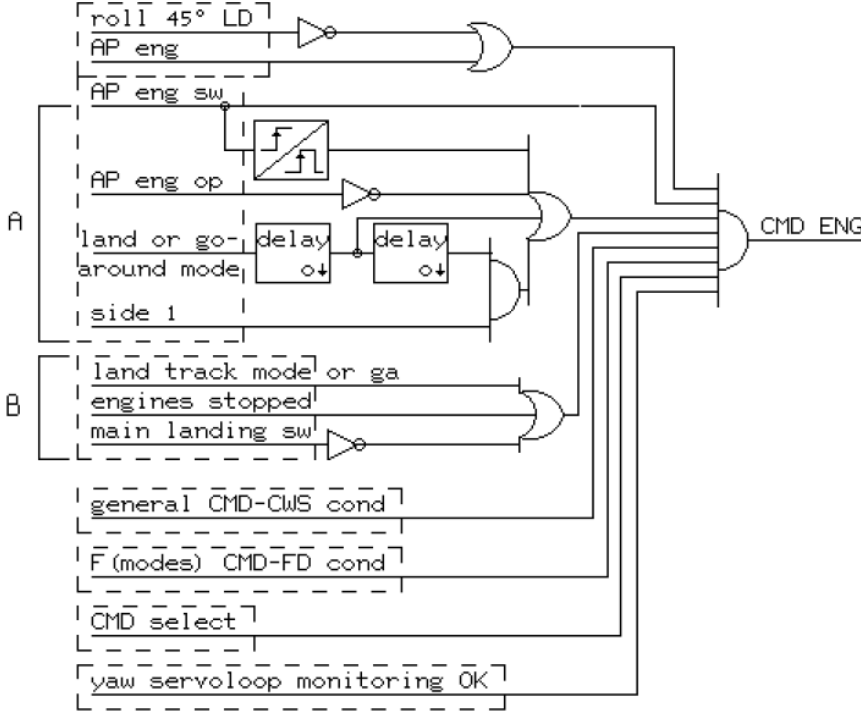
Şekil 5.14: CWS seçimi lojik şeması

Bu CWS seçimi gerçekleştirildi = 1'in oluşturulduğu blok şemadır.

Oto pilotun CWS modunda devreye girmesine izin vermek için oto pilot kontrol bilgisayarı kendi tarafındaki hava malumat bilgisayarından (ADC) ve oto pilot kontrol panelinden gelen (FCU) sayısal (digital) girişleri sürekli izler. Oto pilot 45°den fazla "sağa ya da sola" yatık bir uçuşta ASLA devreye girmez.

5.1.11. Oto Pilotun Cmd Modunda Devreye Girme Şartları

CMD ENG sinyali (1 olduğunda) AP (oto pilot) devreye sokma kolu yukarıda kilitli kalır ve AP (oto pilot) CMD modunda devreye girer.



Şekil 5.15: Oto pilotun CMD modunda devreye girme şartları

Oto pilot 45°den fazla “sağa ya da sola” yatık bir uçakta ASLA devreye girmez (roll 45° LD).

Logic A devresi oto pilotların iniş (land) ve kaçış (go around) durumlarında her ikisinin de devrede kalmasını sağlar. İniş modu biterken veya kaçış manevrası yapılırken AP2 (2 nu.lu oto pilotun) devreden çıkmasını sağlar.

Logic B devresi, yerde motorlar çalışmazken (engines stopped) oto pilotun devreye girmesine ve iniş modu bittiğinde oto pilotun (yerde) devreden çıkmasına olanak sağlar.

CMD ve CWS için gerekli şart tüm CMD ve CWS ortak şartlarını bir araya getirir (general CMD-CWS cond).

CMD’yi seçme sinyali kaptan pilotun CMD-CWS düğmesine basması ile oluşturulur (CMD select). İstikamet servo devresinin (yaw servoloop) sağlam olup olmadığının kontrolü SADECE oto pilot devrede ve slatlar 17° veya daha fazla açık olduğunda yapılır.

5.1.12. Oto Pilotun Devreye Konması

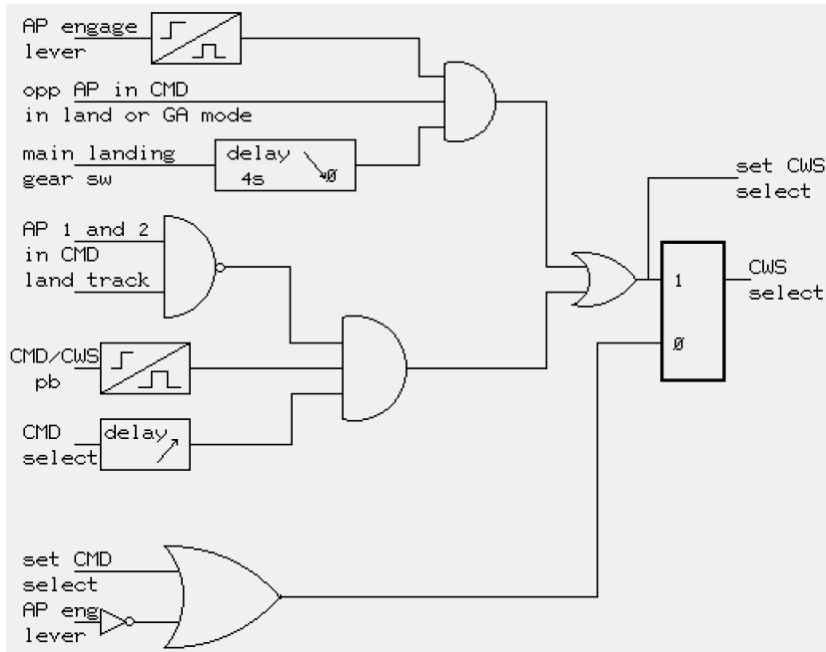
Temel olarak yerde oto pilot, motorlar çalışmazken ilk defa devreye konduğunda CWS modunda devreye girer. CMD modu ise daha sonra CMD-CWS düğmesine basılarak seçilebilir (Devreye konabilir.).

Havada ise durum farklıdır. İlk defa devreye konduğunda CMD olarak devreye girer. Bu sefer CWS aynı düğmeye basılarak seçilebilir.

Not: AP (oto pilot) yerde motorlar çalışırken sadece iniş sırasında (pist hizalama modu devrede iken) veya kaçış manevrası (go around) yapılırken devreye konabilir (Devrede kalır.).

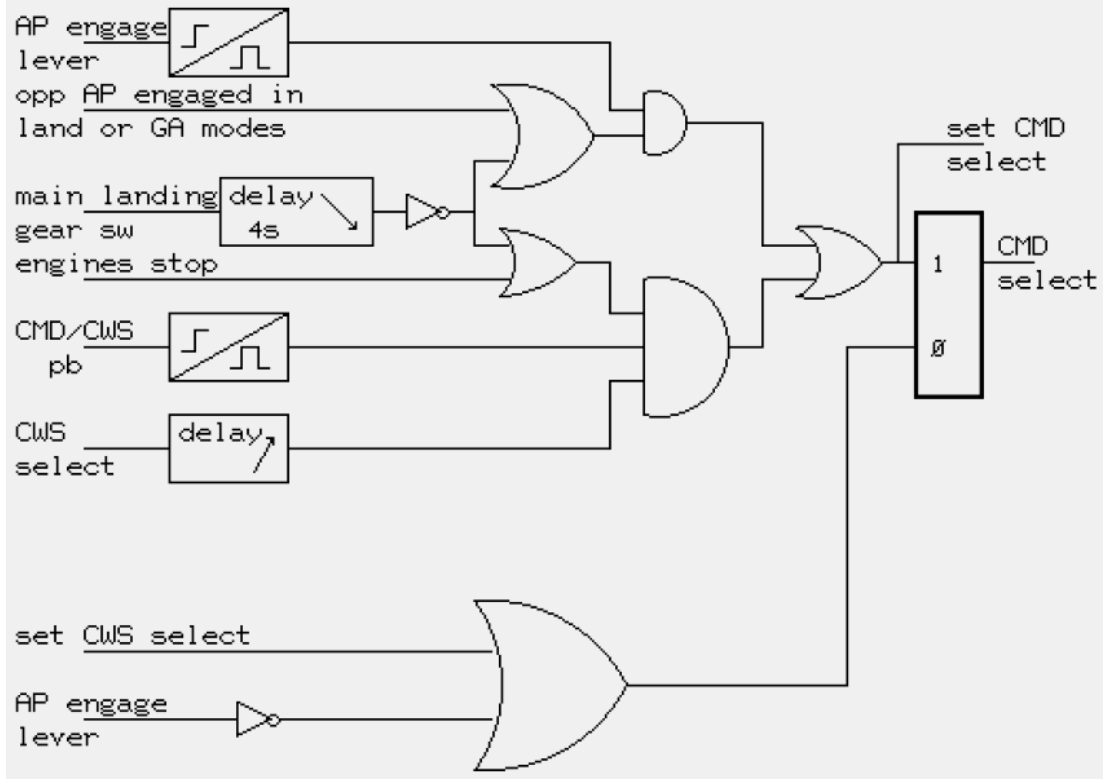
Aşağıda CWS ve CMD seçiminin nasıl yapıldığını gösteren blok şemalar görülmektedir.

Cws Modunun Seçilme Gereklilikleri



Şekil 5.16: CWS seçimi lojik şeması

Cmd Modunun Seçilme Gereklilikleri



Şekil 5.17: CMD seçimi lojik şeması

UYGULAMA FAALİYETİ

Şekildeki tam çıkarıcı devresini breadboard üzerinde, verilen işlem basamaklarına uygun şekilde gerçekleştiriniz.

Malzeme listesi:

1 adet 7404-7408-7432-7486 entegre

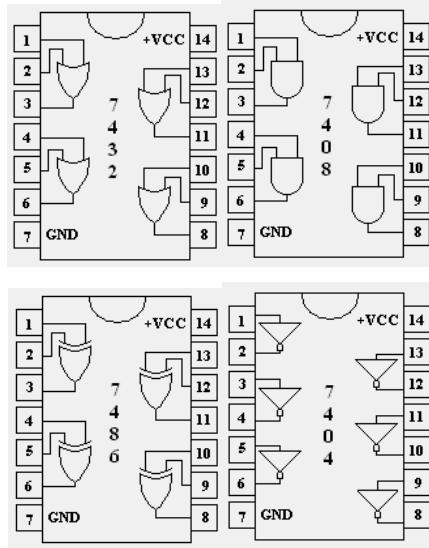
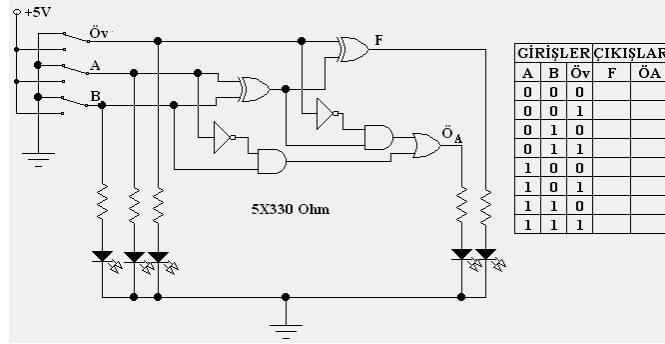
5 adet 330 ohm direnç

3 adet iki konumlu anahtar

5 adet led

5V DC güç kaynağı

Bağlantı iletkenleri



Tam çıkarıcı uygulama devresi ve doğruluk tablosu

İşlem Basamakları	Öneriler
<ul style="list-style-type: none"> ➤ Çalışma ortamınızı hazırlayınız. 	<ul style="list-style-type: none"> ➤ İş önlüğünüzü giyiniz. ➤ Çalışma masanızı düzenleyiniz. ➤ Çalıştığınız deney masasını üzerinde deney ile ilgisi olmayan araç gereç ve malzemeyi kaldırınız.
<ul style="list-style-type: none"> ➤ Şekildeki devrenin malzemelerini temin ediniz. 	<ul style="list-style-type: none"> ➤ Malzemeleri öğretmeninizin yönlendirmesine göre temin ediniz. ➤ Tam çıkarıcı devresiyle ilgili bilgilerinizi gözden geçirin. ➤ Malzemelerin sağlamlığını kontrol ediniz.
<ul style="list-style-type: none"> ➤ Devreyi breadboard üzerine kurunuz. 	<ul style="list-style-type: none"> ➤ Elemanların breadboard içerisine tam olarak yerleştiğinden emin olun. ➤ Bağlantı iletkenlerini değişik renklerde kullanmanız, devre takibi açısından size kolaylık sağlar.
<ul style="list-style-type: none"> ➤ Devreyi çalıştırınız. 	<ul style="list-style-type: none"> ➤ Öğretmeninize kontrol ettirmeden devreye enerji uygulamayınız. ➤ Entegrelere besleme gerilimi uygulamayı unutmayınız.
<ul style="list-style-type: none"> ➤ A,B ve Öv anahtarlarını tabloda verilen değerlere göre değiştirerek devreye uygulayınız. Çıkışlardaki ledlerin durumlarını gözleyiniz. 	<ul style="list-style-type: none"> ➤ Tam çıkarıcı doğruluk tablosunu doldurunuz. Bulduğunuz doğruluk tablosuyla karşılaştırınız. Farklılık varsa devre bağlantınızı kontrol ediniz.
<ul style="list-style-type: none"> ➤ Enerjiyi kestikten sonra devre bağlantılarını sökünüz. Elde ettiğiniz sonuçları arkadaşlarınızla tartışarak değerlendirme testi sonuçları ile birlikte öğretmeninize rapor ediniz. 	<ul style="list-style-type: none"> ➤ Ölçüm sonuçlarını arkadaşlarınızla karşılaştırınız. ➤ Kullandığınız malzemeleri tam ve sağlam olarak teslim ediniz.

KONTROL LİSTESİ

Bu öğrenme faaliyeti kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadığınız beceriler için **Hayır** kutucuğuna (X) işareti koyarak kendinizi değerlendiriniz.

Değerlendirme Ölçütleri		Evet	Hayır
1	Kullandığımız malzemeleri doğru olarak seçtiniz mi?		
2	Devreyi kurarken sorun yaşadınız mı?		
3	Devreyi sorunsuz çalıştırdınız mı?		
4	Çıkıştaki ledlerin durumunu gözlemleyip tabloyla karşılaştırdınız mı?		
5	Sonuçlarınızı arkadaşlarınızla tartıştınız mı?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise “Ölçme ve Değerlendirme”ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

Aşağıda boş bırakılan parantezlere, cümlelerde verilen bilgiler doğru ise D, yanlış ise Y yazınız.

1. () CMD modu tam otomatik moddur.
2. () CWS modu yarı otomatik moddur.
3. () Oto pilotun devreye girme şartları yazılım olarak tasarlanmıştır.
4. () Oto pilot roll-pitch yaw actuator'leri FCC 1 devrede olduğunda yeşil hidrolik sistemden basınçlandırılır.
5. () Oto pilot roll-pitch yaw actuator'leri FCC 2 devrede olduğunda sarı hidrolik sistemden basınçlandırılır.
6. () Servoların basınçlanması şartı, oto pilotun devreye girmesi için gereklidir.
7. () Oto pilotlardan birini devreye sokabilmek için bir trim sinyali gereklidir.
8. () FCC servo motorların kilitlerini izler ve switch'lerin kapalı olmasını denetler.
9. () Oto pilot 45°den fazla "sağa ya da sola" yatık bir uçakta ASLA devreye girmez.
10. () Oto pilot havada ilk defa devreye konduğunda CWS olarak devreye girmelidir.

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru "Modül Değerlendirme"ye geçiniz.

MODÜL DEĞERLENDİRME

Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1. $Y=(A.B) + (B.C) + B$ lojik ifadesini boolean kurallarını kullanarak elde edilen en sade hâli aşağıdakilerden hangisidir?
A) A.B
B) A
C) B
D) B.C
2. $Y=(A.B.C) + (A.B.\bar{C})$ lojik ifadesini boolean kurallarını kullanarak elde edilen en sade hâli aşağıdakilerden hangisidir?
A) A.B
B) A
C) B
D) B.C
3. $Y=(A+B).(A+\bar{B})$ lojik ifadesini boolean kurallarını kullanarak elde edilen en sade hâli aşağıdakilerden hangisidir?
A) A.B
B) A
C) B
D) B.C
4. $Y=\bar{A}.\bar{B}.\bar{C}.D+\bar{A}.B.\bar{C}.D+A.B.\bar{C}.D+A.\bar{B}.\bar{C}.D+A.B.C.D$ lojik ifadesini Karnaugh haritasını kullanarak elde edilen en sade hâli aşağıdakilerden hangisidir?
A) $Y=\bar{C}.\bar{D}+A.B.D$
B) $Y=\bar{C}.\bar{D}+A.\bar{B}.D$
C) $Y=C.D+A.B.D$
D) $Y=\bar{C}.D+A.B.D$

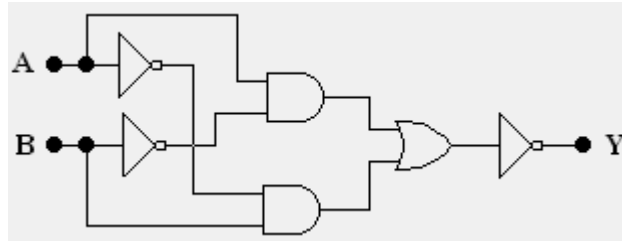
5. Şekildeki Karnaugh haritasını gruplandırarak en sade lojik ifadesi aşağıdakilerden hangisidir?

Y CD		A			
		00	01	11	10
C	00	0000	0100 1	1100	1000
	01	0001	0101 1	1101 1	1001
	11	0011	0111 1	1111 1	1011
	10	0010	0110 1	1110	1010
		B		D	

Dört değişkenli Karnaugh haritası

- A) $Y = \overline{A}.B + B.D$
 B) $Y = A.B + \overline{B}.D$
 C) $Y = A.\overline{B} + B.D$
 D) $Y = A.B + B.\overline{D}$

6. Şekildeki lojik devrenin Y lojik ifadesi aşağıdakilerden hangisidir?



Lojik devre

- A) $Y = \overline{A.\overline{B}} + \overline{A.B}$
 B) $Y = \overline{A.B} + \overline{A.B}$
 C) $Y = \overline{A.\overline{B}} + \overline{A.B}$
 D) $Y = \overline{A.\overline{B}} + \overline{A.B}$

7. 7483 entegresi çıkarma işlemi için kullanıldığında Cin ayak bağlantısı nasıl olmalıdır?
 A) 7483 entegresi çıkarma işlemi için kullanıldığında Cin -5 v'a bağlanmalıdır.
 B) 7483 entegresi çıkarma işlemi için kullanıldığında Cin +5 v'a bağlanmalıdır.
 C) 7483 entegresi çıkarma işlemi için kullanıldığında Cin -10 v'a bağlanmalıdır.
 D) 7483 entegresi çıkarma işlemi için kullanıldığında Cin +10 v'a bağlanmalıdır.

8. 7485 entegresi tek kullanıldığında kaskat girişleri nasıl bağlanmalıdır?
- A) $A > B$ (4 nu.lı uç) ve $A < B$ (2 nu.lı uç) +5 v'a, $A = B$ (3 nu.lı uç) şaseye bağlanmalıdır.
- B) $A > B$ (4 nu.lı uç) ve $A < B$ (2 nu.lı uç) şaseye, $A = B$ (3 nu.lı uç) şaseye bağlanmalıdır.
- C) $A > B$ (4 nu.lı uç) ve $A < B$ (2 nu.lı uç) +5v'a, $A = B$ (3 nu.lı uç) +5 v'a bağlanmalıdır.
- D) $A > B$ (4 nu.lı uç) ve $A < B$ (2 nu.lı uç) şaseye, $A = B$ (3 nu.lı uç) +5 v'a bağlanmalıdır.
9. 9. Otomatik pilot kaç modda devreye alınabilir?
- A) 1
- B) 2
- C) 3
- D) 4
10. Oto pilot havada ilk defa devreye konduğunda hangi modda devreye girer?
- A) CMD
- B) CWS
- C) FCC 1
- D) FCC 2

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki modüle geçmek için öğretmeninize başvurunuz.

CEVAP ANAHTARI

ÖĞRENME FAALİYETİ-1'İN CEVAP ANAHTARI

1	A
2	C
3	A
4	D
5	A

ÖĞRENME FAALİYETİ-2'NİN CEVAP ANAHTARI

1	A
2	C
3	A
4	D
5	A

ÖĞRENME FAALİYETİ-3'ÜN CEVAP ANAHTARI

1	A
2	D
3	B
4	B
5	A

ÖĞRENME FAALİYETİ-4'ÜN CEVAP ANAHTARI

1	B
2	A
3	A
4	B
5	D

ÖĞRENME FAALİYETİ-5'İN CEVAP ANAHTARI

1	D
2	D
3	Y
4	D
5	D
6	D
7	Y
8	D
9	D
10	Y

MODÜL DEĞERLENDİRME CEVAP ANAHTARI

1	C
2	A
3	B
4	D
5	A
6	C
7	B
8	D
9	B
10	A

KAYNAKÇA

- ARSAN Taner, Rifat ÇÖLKESEN, **Lojik Devre Tasarımı**, Papatya Yayıncılık, İstanbul, 2001.
- ASLAN Recai, **Dijital Elektronik ve Uygulamaları**, Yüce Yayınları, İstanbul, 2003.
- BERKET Metin, Engin TEKİN, **Elektronik Atelye ve Laboratuvar 2**, İzmir, 2003.
- DARKA Mustafa, **Dijital Elektronik Ders Notları**, İstanbul, 2001.
- GAYGISIZ Osman, **THY AVIONIC Eğitim Ders Notları**, İstanbul, 2005.
- MANO M. Moris, **Sayısal Tasarım**, Literatür Yayıncılık, İstanbul, 2001.
- YARCI Kemal, **Dijital Elektronik**, Yüce Yayınları, İstanbul, 2004.