

**T.C.
MİLLÎ EĞİTİM BAKANLIĞI**

UÇAK BAKIM

**SAYICILAR VE KAYDEDİCİLER
523EO0013**

Ankara, 2011

-
- Bu modül, mesleki ve teknik eğitim okul/kurumlarında uygulanan Çerçeve Öğretim Programlarında yer alan yeterlikleri kazandırmaya yönelik olarak öğrencilere rehberlik etmek amacıyla hazırlanmış bireysel öğrenme materyalidir.
 - Millî Eğitim Bakanlığınca ücretsiz olarak verilmiştir.
 - **PARA İLE SATILMAZ.**

İÇİNDEKİLER

AÇIKLAMALAR	iii
GİRİŞ	1
ÖĞRENME FAALİYETİ-1	3
1. FLİP-FLOPLAR.....	3
1.1. R-S Flip-Flop (R-S Kilidi – R-S Mandalı, R-S Latch)	5
1.1.1. Tetiklemeli (clock palsli) RS Flip Flop	9
1.2. JK Flip-Flop	11
1.3. Ana- Uydu (Master-Slave) Flip-Flop.....	12
1.4. D Tipi Flip Flop	13
1.5. T (Toggle) Flip-Flop	14
UYGULAMA FAALİYETİ	24
ÖLÇME VE DEĞERLENDİRME	28
ÖĞRENME FAALİYETİ-2	29
2. SAYICILAR.....	29
2.1. Asenkron Sayıcılar	31
2.1.1. Asenkron İleri (Yukarı Sayıcılar) Sayıcılar (Asynchrouns Up Counters)	32
2.1.2. Asenkron Geri (Aşağı) Sayıcı	38
2.1.3. Entegreler ile Asenkron Sayıcı	39
2.2. Senkron Sayıcılar	42
2.2.1. İleri (Yukarı) Senkron Sayıcı.....	42
2.2.2. Geri (Aşağı) Senkron Sayıcı	44
2.2.3. Senkron Sayıcıların Tasarımı	46
2.3. Ring Sayıcılar.....	48
2.3.1. Standart Ring Sayıcı (Kalıcı Halka Sayıcı)	49
2.3.2. Yürüyen Ring Sayıcı (Kayıcı Ring Sayıcı).....	50
2.4. Entegre Devre Sayıcılar	51
2.4.1. Onlu (Desimal) Sayıcı	51
2.4.2. Programlanabilen Sayıcı.....	52
UYGULAMA FAALİYETİ	68
ÖLÇME VE DEĞERLENDİRME	70
ÖĞRENME FAALİYETİ-3	71
3. BİLGİNİN DEPOLANMASI VE TRANSFER YÖNTEMLERİ	71
3.1. Bilgi Giriş -Çıkışına Göre Kaydedici Çeşitleri	71
3.1.1. Seri Giriş - Seri Çıkış Kaydırmalı Kaydedici	71
3.1.2. Seri Giriş - Paralel Çıkış Kaydırmalı Kaydedici	74
3.1.3. Paralel Giriş - Paralel Çıkış Kaydırmalı Kaydedici.....	74
3.1.4. Paralel Giriş - Seri Çıkış Kaydırmalı Kaydedici	75
3.2. Çok Amaçlı Kaydedici Entegre Devreler (Kaydırma Yönüne Göre Kaydediciler)....	75
3.2.1. Sağa-Sola Kaydırmalı Kaydedici Entegresi.....	77
3.2.2. Sağa Kaydırmalı Kaydedici	79
3.2.3. Sola Kaymalı Kaydedici	79
3.3. Rasgele Erişimli Oku / Yaz Bellekler	79
3.3.1. RAM Belleklerde Bilgi Kaydedilmesi ve Okunması	81
3.3.2. Bellek Ölçülerinin Genişletilmesi.....	83
3.3.3. Bellek Kelime Uzunluğunun Genişletilmesi	85
3.3.4. Bellek Adres Bölgesi Sayısının Genişletilmesi	86

UYGULAMA FAALİYETİ	87
ÖLÇME VE DEĞERLENDİRME	91
MODÜL DEĞERLENDİRME	92
CEVAP ANAHTARLARI	95
KAYNAKÇA	97

AÇIKLAMALAR

KOD	523EO0013
ALAN	Uçak Bakım
DAL/MESLEK	Uçak Elektronik Teknisyenliği
MODÜLÜN ADI	Sayıcılar ve Kaydediciler
MODÜLÜN TANIMI	Bu modül, sayıcı ve kaydedici devrelerini tanıtan, çalışmasını ve çeşitli kontrol devrelerinin oluşturulmasını anlatan öğrenme materyalidir.
SÜRE	40 / 16
ÖN KOŞUL	Bilişimsel Devreler modülünü başarmış olmak
YETERLİK	Flip- flopları, sayıcıları, bilginin depolanması ve transfer yöntemlerini elektronik devrelerde kullanmak ve oluşturmak
MODÜLÜN AMACI	Genel Amaç Katalog bilgilerine uygun olarak elektronik devrelerde kullanabilecek, tekniğine uygun olarak yeni devreler tasarlayıp yapabileceksiniz. Amaçlar <ol style="list-style-type: none">1. Tekniğine uygun olarak flip-flop yapabileceksiniz.2. Tekniğine uygun olarak sayıcı tasarlayıp yapabileceksiniz.3. Bilginin depolanması ve transfer edilmesi yöntemlerini kurallarına göre uygulayabileceksiniz.
EĞİTİM ÖĞRETİM ORTAMLARI VE DONANIMLARI	Ortam: Dijital elektronik laboratuvarları, sayısal elemanlar ile üretim ve bakım gerçekleştiren işletmelere gezi, bilgi teknolojileri ortamı, internet Donanım: Dijital elektronik elemanlar katalogları, dijital elektronik deney seti, avometre, osilaskop, ayarlı güç kaynağı, bilgisayar ve donanımları, VCD, DVD, internet erişimi
ÖLÇME VE DEĞERLENDİRME	Modül içinde her öğrenme faaliyetinden sonra verilen ölçme araçları ile kendinizi değerlendireceksiniz. Öğretmen modül sonunda ölçme aracı (çoktan seçmeli test, doğru-yanlış testi, boşluk doldurma vb.) kullanarak modül uygulamaları ile kazandığınız bilgi ve becerileri ölçerek sizi değerlendirecektir.

GİRİŞ

Sevgili Öğrenci,

Günümüzde yaşanan hızlı değişim, elektronik devre elemanlarının yaşantımızın birçok alanında yer almasına yol açmıştır. Elektronik devre elemanları mekanik düzeneklerle bütünleşmiş, birçok uygulamada mekanik düzeneklerin yerini almaya başlamıştır.

Uçak bakım teknolojisi de bu gelişmelerden etkilenmektedir. Geçen yüzyılın başlarında uçak bakımı için sadece mekanik bilgiler yeterli iken yüzyılın sonlarına doğru bu bilgilerin elektrik elektronik bilgileriyle takviye edilmesi gerekmiştir.

Günümüzde ise sayısal teknoloji, analog teknolojinin yerini almaktadır. Sayısal tabanlı ve mikroişlemcili sistemler günden güne gelişmektedir. Bilginin değişim hızı artık günlerle ifade edilir olmuştur.

Meslek alanınızda, bilim ve teknoloji alanındaki değişimlerden etkilenmektedir. Mekanik bilgilerimizin yanında, bu mekanizmaları kontrol eden sistemleri oluşturan analog ve sayısal düzenekleri ve bileşenlerini tanımamız gerekmektedir.

Bu modülde yer alan, flip-flop'lar, sayıcılar ve kaydediciler elektronik düzeneklerin ayrılmaz parçasıdır.

Sizler de bu modülü başardıktan sonra, sayıcılar kaydedicileri tanıyabilecek, istenilen özellikte devre oluşturabilecek ve uygulama devrelerinde kullanabileceksiniz.

ÖĞRENME FAALİYETİ-1

AMAÇ

Tekniğine uygun olarak flip-flop yapabileceksiniz.

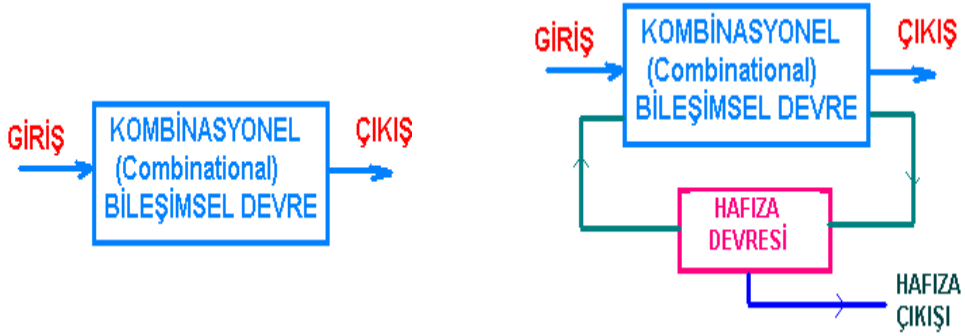
ARAŞTIRMA

- Flip-flop'un kelime anlamını, kullanıldığı yerleri ve kullanım amaçlarını araştırınız. Bu amaçla kütüphane, etkileşimli medya, bilgi teknolojileri ortamı ve internet ortamını kullanabilirsiniz.
- Kendi meslek alanınızda flip-flop elemanlarının ve devrelerinin kullanıldığı yerleri araştırınız.
- Bulduğunuz dokümanları rapor hâline getirerek sınıfta arkadaşlarınızla tartışınız.

1. FLİP-FLOPLAR

Bundan önceki modüllerde temel sayısal ve bileşimsel devrelerle ilgili konuları öğrendiniz. Bilindiği gibi kodlayıcı, kod çözücü, veri seçici, veri dağıtıcı, toplayıcı, çıkarıcı karşılaştırmacı gibi devreler bileşimsel, kombinasyonel (combinational) devreler olarak adlandırılır. Bileşimsel devrelerde devrenin çıkışı o andaki girişlerin durumuna bağlıdır. Bu devrelerde geri besleme ve zamanlama gibi olaylar gerçekleşmemektedir.

Sayısal devrelerde çoğu zaman bileşimsel devreler bulunsa bile bilginin saklanması ve işlenmesi için bir ardışıl - sıralı - sırasal devreler kullanılmaktadır. Ardışıl bir devrenin çıkışı ise o anda sadece girişlerin durumu ile değil aynı zamanda bellek elemanlarında saklanan ikili bilgiye de bağlıdır. Ardışıl bir devre birleşik bir devre ve oluşan bilginin saklanması için bellek elemanlarından oluşur. Böylelikle belli bir zaman ve sırada ikili durumların oluşması sağlanabilir. Bellek elemanında belli bir anda saklanan ikili bilgiler sıralı devrenin o andaki durumunu belirler.



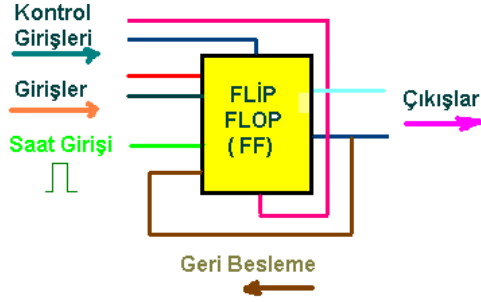
Şekil 1.1: Kombinyonel devreler blok şeması

Sıralı devrelerde kullanılan devre elemanları flip-floplardır. Bu devre elemanları üzerindeki ikili bir bilgiyi saklayabilen hücrelerdir. Flip-flopların bir bitlik bilgi saklayabilenlerine kilit-mandal anlamına gelen latch da denir.

Bir flip-flop devresi bir giriş sinyali ile durumu değişmedikçe ikili bir bilgiyi güç verildiği müddetçe saklayabilen devre elemanlarıdır. Çeşitli flip-flop devreleri arasındaki fark, giriş sayısı ve çıkışın girişlerin durumuna göre etkilenme şeklidir. Bir flip-flop veya mandalın saklanan bilgiyi ve saklanan bilginin değişimini gösteren iki ayrı çıkışı vardır.

Lojik kapılarla yapılan flip-flop devreleri, kapı devrelerinin çıkışlarının geri besleme yoluyla giriş olarak devreye beslenmesiyle elde edilir. Flip-flop devrelerinde, çıkış sinyali hem o andaki girişlere hem de daha önceki çıkışlara (hafızada bulunan bir önceki giriş değerine) bağlıdır. Ayrıca flip-floplarda saat ve kontrol girişleri de bulunmaktadır. Girişler çıkışa kare dalga palsleriyle (clock pulse) aktarılır. Saat darbesi (clock pulse) belli bir frekansta "0" ve "1" arasında değişen bir kare dalga sinyalidir. Flip-flop'ların tetiklenmesi, saat darbesinin (CP) "1" veya "0" düzeyinde gerçekleşebilir.

Flip-flop'lar iki çıkışa sahiptir. Bunlar Q ve Q' dir. Q ve Q' birbirlerinin tersidir. Yani Q = 1 ise Q' = 0, Q = 0 ise de Q' = 1 olur. Yalnız aşağıdaki doğruluk tablolarında görüleceği gibi Q ve Q' in aynı olduğu durumlar görülmektedir. Bu durumlar istenmez. Bu nedenle de bu çıkışı veren girişler kullanılmaz. Flip – flop'lar lojik kapılardan oluşur. Bilgi saklama yapar. Bir FF, bir bitlik bilgiyi saklayabilir. Sayıcıların ve Kaydedicilerin temelini oluşturur. Bu elemanlar, sayıcı, bilgi kaydırıcı, bellek, PLC, bilgisayar, alarm, yürüyen ışık vb. devrelerde kullanılır. Aşağıda bu tür uygulamalarda kullanılan çeşitli flip-flop türleri incelenecektir.



Şekil 1.2: Flip-flop giriş çıkışları

1.1. R-S Flip-Flop (R-S Kilidi – R-S Mandalı, R-S Latch)

RS ismi, reset (sıfırlama) ve set (kurma) kelimelerinin ilk harflerinden oluşmuştur. R-S flip-flop'u Veya Değil (NOR) ve Ve Değil (NAND) kapıları olmak üzere iki temel kapı türü ile elde edilebilir. RS flip-flop (RS FF) devresinin iki giriş, iki çıkış ucu vardır. Bunlar; R (sıfırlama, reset) ve S (kurma, set) olmak üzere iki giriş ve Q ve Q' ile gösterilen iki çıkış uçlarıdır. Q ve Q' çıkış uçları, normal çalışma durumlarında birbirinin tersidir. Temel olarak bir R-S flip-flop'un iki farklı çıkış durumu vardır. Bu durumlardan Q = 0 olduğu duruma reset - silme, Q = 1 durumuna set - kurma adı verilir. Ayrıca bilgi kilitlenebildiği için bu yapıdaki FF'ların diğer bir adı da "Latch" (Kilit – Mandal)'dır. Aşağıda Tablo 1.1'de veya değil kapılarıyla oluşturulmuş R-S flip-flop'a ait lojik diyagramı, sembolü, doğruluk tablosu ve zaman diyagramı görülmektedir.

	GİRİŞLER		ÇIKIŞLAR		İŞLEVİ
	S	R	Q	\bar{Q}	
<p>(a)</p>	0	1	0	1	SİLME - RESET (reset 1 olduğu için f/f çıkışı Q=0 olur.)
	0	0	Q	\bar{Q}	BİR ÖNCEKİ DURUM - HAFIZA (S=0, R=1'dan sonra Q=0, Q'=1 değerinde kalır.)
<p>(b)</p>	1	0	1	0	KURMA - SET
	0	0	Q	\bar{Q}	BİR ÖNCEKİ DURUM (S=1, R=0'den sonra Q=1, Q'=0 değerinde kalır.)
	1	1	Belirsiz –yasak durum
	0	1	0	1	SİLME - RESET

Tablo 1.1: R-S Flip-flop doğruluk tabloları

Devreyi incelemeye 1.durum olarak adlandırdığımız RESET durumundan başlayalım. RESET durumunda R=1 ve S=0 değerindedir. Tablo 1.2’de görüldüğü gibi R=1 olduğundan 1 nu.lı VEYA DEĞİL kapısı çıkışı, yani Q=0 olur. Q=0 olduğundan 2 nu.lı VEYA DEĞİL kapısı girişine 1 bilgisini gönderir. S= 0 ve Q=0 olduğundan 2 nu.lı VEYA DEĞİL kapısının çıkışı, yani Q’= 1 olur. Çıktılardaki ilişkiyi $Q=\overline{R.Q'}$ ve $Q'=\overline{S.Q}$ olarak yazabiliriz. Eğer S= 0 ve R= 1 ise eşitliklerde yerine koyarsak $Q=\overline{1.Q'}=0$ ve $Q'=\overline{0.Q}$ Yani Q’ = 1 Q= 0 olduğu görülür.

1.DURUM	R=1 olduğundan 1 nu.lı VEYA DEĞİL kapısı çıkışı, yani Q=0 olur.	Q=0 olduğundan 2 nu.lı VEYA DEĞİL kapısı girişine 1 bilgisini gönderir.	$Q=\overline{R.Q'}$, $Q'=\overline{1.Q'}$ $Q=\overline{1.1}$, $Q=0$
R=1 S=0			Q = 0 Q’=1
RESET KURMA İŞLEVİ	S= 0 ve Q=0 olduğundan 2 nu.lı VEYADEĞİL kapısının çıkışı yani Q’= 1 olur.		$Q'=\overline{S.Q}$, $Q'=\overline{0.Q}$ $Q'=\overline{0.0}$, $Q'=1$

Tablo 1.2: R-S Flip- flop R=1 S=0 durumu

Devreyi incelemeye 2.durum olarak adlandırdığımız HAFIZA konumu ile devam edelim. Hafıza durumunda R=0 ve S=0 değerindedir. 2 nu.lı VEYA DEĞİL Kapısı çıkışından 1 bilgisi geldiği durumda R= 0’ a çekildiğinden Q = 0 olur. Q = 0 olduğundan 2 nu.lı VEYA DEĞİL kapısı girişine 0 bilgisini gönderir. 2 nu.lı VEYA DEĞİL kapısı girişlerindeki değerler S= 0 ve Q=1 olduğundan 2 nu.lı kapının çıkışı yani Q’= 1 olur. Böylece önceki durum korunur. Çıktılardaki ilişkiyi $Q=\overline{R.Q'}$ ve $Q'=\overline{S.Q}$ olarak yazabiliriz. Eğer S= 0 ve R= 0 ise eşitliklerde yerine koyarsak Q = 0 ve Q’ = 1 olduğu görülür. Böylece HAFIZA işlemi gerçekleşmiş olur.

2.DURUM	2 nu.lı VEYA DEĞİL kapısı çıkışından 1 bilgisi geldiği durumda R= 0’ a çekildiğinden Q = 0 olur.	Q = 0 olduğundan 2 nu.lı VEYA DEĞİL kapısı girişine 0 bilgisini gönderir.
R=0 S=0		
ÖNCEKİ DURUM HAFIZA İŞLEVİ	2 nu.lı VEYA DEĞİL kapısı girişlerindeki değerler S= 0 ve Q=1 olduğundan 2 nu.lı kapının çıkışı yani Q’= 1 olur. Böylece önceki durum korunur.	

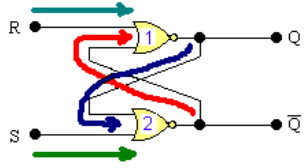
Tablo1.3:R-S Flip- flop R=0 S=0 durumu

3.DURUM	2 nu.lı VEYA DEĞİL kapısı çıkışından 0 bilgisi geldiği durumda R= 0 olduğundan Q = 1 olur.	Q = 1 olduğundan 2 nu.lı VEYA DEĞİL kapısı girişine 1 bilgisini gönderecektir.	
R=0 S=1		Q = 1 Q'=0	
SET KURMA İŞLEVİ	2 nu.lı VEYA DEĞİL kapısı girişlerindeki değerlerden biri S=1 olduğundan 2 nu.lı kapının çıkışı yani Q'= 0 olur. O bilgisi 1 nu.lı VEYA DEĞİL kapısına gönderilir.		

Tablo 1.4: R-S Flip- flop R=0 S=1 durumu

Devreyi incelemeye 3.durum olarak adlandırdığımız SET durumuyla devam edelim. SET durumunda R=0 ve S=1 değerindedir. Tablo 1.4'te görüldüğü gibi 2 nu.lı VEYA DEĞİL kapısı girişlerindeki değerlerden biri S=1 olduğundan 2 nu.lı kapının çıkışı yani Q'= 0 olur. O bilgisi 1 nu.lı VEYA DEĞİL kapısına gönderilir. 2 nu.lı VEYA DEĞİL kapısı çıkışından 0 bilgisi geldiği durumda R= 0 olduğundan Q = 1 olur. Q = 1 olduğundan 2 nu.lı VEYA DEĞİL kapısı girişine 1 bilgisini gönderecektir. Çıkışlardaki ilişkiyi $Q = \overline{R \cdot Q'}$ ve $Q' = \overline{S \cdot Q}$ olarak yazdığımızdan, S= 1 ve R= 0 değerlerini eşitliklerde yerine koyarsak Q = 1 ve Q' = 0 olduğu görülür.

Devreyi incelemeye 4.durumla devam edelim. Bu durum 2. durum HAFIZA konumunun benzeridir. S= 0'a alınmadan Q =1 olduğundan 2 nu.lı VEYA DEĞİL kapısı girişine 1 bilgisini gönderir. S =0 değerine çekildiğinde 2 nu.lı VEYA DEĞİL kapısı girişlerindeki değerler S= 0 ve Q=1 olduğundan 2 nu'lü kapının çıkışı yani Q'= 0 olur. R= 0' da iken 2 nu.lı veya değil kapısı çıkışından 0 bilgisi geldiğinden ve Q = 1 olur. Yani önceki durum korunur. Çıkışlardaki ilişkiyi $Q = \overline{R \cdot Q'}$ ve $Q' = \overline{S \cdot Q}$ olarak yazmıştık. Eğer S= 0 ve R= 0 ise eşitliklerde yerine koyarsak Q = 1 ve Q' = 0 olduğu görülür. Böylece HAFIZA işlemi gerçekleşmiş olur.

4.DURUM	R= 0'da iken 2 nu.lı VEYA DEĞİL kapısı çıkışından 0 bilgisi geldiğinden ve Q = 1 olur. Yani önceki durum korunur.	S= 0'a alınmadan Q =1 olduğundan 2 nu.lı VEYA DEĞİL kapısı girişine 1 bilgisini gönderir.
R=0 S=0		Q = 1 Q'=1
ÖNCEKİ DURUM HAFIZA İŞLEVİ	S =0 değerine çekildiğinde 2 nu.lı VEYA DEĞİL kapısı girişlerindeki değerler S= 0 ve Q=1 olduğundan 2 nu.lı kapının çıkışı yani Q'= 0 olur.	

Tablo 1.5: R-S Flip- flop R=0 S=0 durumu

Devreyi incelemeye 5.durumla devam edelim. 5. durum 3. durum yani SET işlevinin aynısıdır. SET durumunda R=0 ve S=1 değerindedir. Tablo 1.6'da görüldüğü gibi 2 nu.lı VEYA DEĞİL kapısı girişlerindeki değerlerden biri S=1 olduğundan 2 nu.lı kapının çıkışı yani Q'= 0 olur. O Bilgisi 1 Nu'lu VEYA DEĞİL kapısına gönderilir. 2 nu.lı VEYA DEĞİL kapısı çıkışından 0 bilgisi geldiği durumda R= 0 olduğundan Q = 1 olur. Q = 1 olduğundan 2 nu.lı VEYA DEĞİL kapısı girişine 1 bilgisini gönderecektir. Çıkışlardaki ilişkiyi $Q=\overline{R \cdot Q'}$ ve $Q' = \overline{S \cdot Q}$ olarak yazdığımızdan, S= 1 ve R= 0 değerlerini eşitliklerde yerine koyarsak Q = 1 ve Q' = 0 olduğu görülür.

5.DURUM	2 nu.lı VEYA DEĞİL kapısı çıkışından 0 bilgisi geldiğinden durumda R= 0 olduğundan Q = 1 olur.	Q = 1 olduğundan 2 nu.lı VEYA DEĞİL kapısı girişine 1 bilgisini gönderecektir.
R=0 S=1		Q = 1 Q'=0
SET KURMA İŞLEVİ	2 nu.lı VEYA DEĞİL kapısı girişlerindeki değerlerden biri S=1 olduğundan 2 nu.lı kapının çıkışı yani Q'= 0 olur. O Bilgisi 1 nu.lı VEYA DEĞİL kapısına gönderilir.	

Tablo 1.6: R-S Flip- flop R=0 S=1 durumu

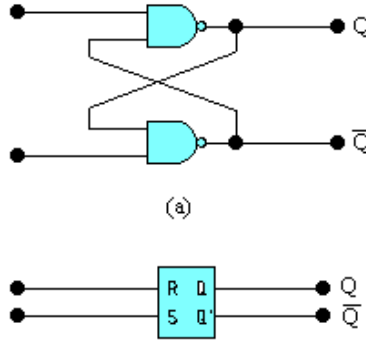
6.durum RESET işlevidir. Dolayısıyla 1. durumun ayısıdır. RESET durumunda R=1 ve S=0 değerindedir. Tablo 1.7'de görüldüğü gibi R=1 olduğundan 1 nu.lı VEYA DEĞİL kapısı çıkışı, yani Q=0 olur. Q=0 olduğundan 2 nu.lı VEYA DEĞİL kapısı girişine 1 bilgisini gönderir. S= 0 ve Q=0 olduğundan 2 nu.lı VEYA DEĞİL kapısının çıkışı, yani Q'=1 olur. Çıkışlardaki ilişkiyi $Q=\overline{R.Q'}$ ve $Q'=\overline{S.Q}$ olarak yazabiliriz. Eğer S= 0 ve R= 1 ise eşitliklerde yerine koyarsak $Q=\overline{1.Q'}=0$ ve $Q'=\overline{0.Q}$ Yani $Q=0$ $Q'=1$ olduğu görülür.

6.DURUM	R=1 olduğundan 1 nu.lı VEYA DEĞİL kapısı çıkışı Yani Q=0 olur.	Q=0 olduğundan 2 nu.lı VEYA DEĞİL kapısı girişine 1 bilgisini gönderir.	
R=1 S=0			Q = 0 Q' = 1
RESET KURMA İŞLEVİ	S= 0 ve Q=0 olduğundan 2 nu.lı kapının çıkışı yani Q'= 1 olur.		

Tablo 1.7: R-S Flip- flop R=1 S=0 durumu

VEYA DEĞİL kapılı FF devresinde R ve S girişlerine aynı anda 1 verilmez. Bu yapılırsa devrenin çıkışlarının konumu belirsizleşir (bilinemez). O nedenle bu durumdan kaçınılmalıdır.

Aynı RS FF' un VE DEĞİL kapılarıyla oluşturulmuş devresi aşağıdaki Şekil 1.3'tedir.



Şekil 1.3: NAND kapıları ile yapılan R-S flip- flop

NAND kapılı FF devresinde R ve S girişlerine aynı anda 0 verilmez. Bu yapılırsa devrenin çıkışlarının konumu belirsizleşir (bilinemez). Bu nedenle bu durumdan kaçınılmalıdır.

1.1.1. Tetiklemeli (clock palsli) RS Flip Flop

İncelediğimiz VEYA DEĞİL ve VEDEĞİL kapılarıyla oluşturulmuş R-S flip-flop devresi asenkron sıralı bir devredir. Girişlerin değişimine bağlı olarak çıkış değeri

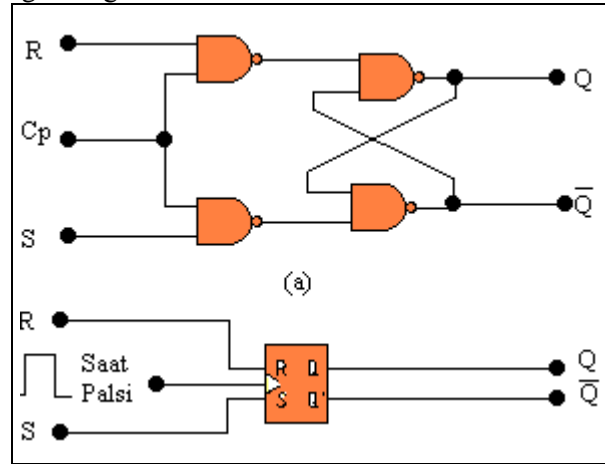
değişmektedir. Böyle bir R-S flip-flop devresinin girişine kapı eklemek suretiyle flip-flopun çıkışının hariç bir saat darbesi (clock pulse- CP) ile girişlerin değişimine tepki vermesi sağlanabilir. Flip-flopların bu anlık değişimine tetiklenme adı verilir. Ve bu değişimi sağlayan duruma ise flip-flopun tetiklenmesi denir. Dijital FF devrelerinde clock pulsı (saat darbesi, cp) devreyi tetikleme görevi yapar. Cp sayesinde devredeki FF'ler kontrol altına alınabilir.

Flip- flopları tetiklemede kullanılan clock pulsı (saat darbesi, cp) kare dalgadır. Kare dalganın üç durumu vardır. Bunlar, pozitif kenar, lojik 1 ve negatif kanardır. Uygulamada kullanılan FF'lerin büyük bir bölümü tetikleme palsinin negatif (düşen) kenarında tetiklenir. Bir FF'nin, hangi tür sinyalle tetiklendiği sembolünden anlaşılabilir.

Şimdi inceleyeceğimiz tetikleme sinyali uygulanan RS FF devresidir. Bu tip FF'lerde tetikleme girişine kare dalga (saat darbesi) uygulanmadığı sürece giriş bilgileri çıkışı değiştirmez. Şekil 1.4'te verilen devrede clock (saat) girişine kare dalga uygulandığı zaman S ve R girişlerine gelen 1 bilgisi NAND kapılarını ilettime sokar. Örneğin S = 1, R = 0 olduğunda clock ucuna kare dalga uygulanırsa Q çıkışı 1, Q' çıkışı ise 0 olur.

Tetiklemeli R-S tipi flip-flop R-S tipi flip-flopun önüne iki adet Ve Değil kapısı eklenerek elde edilmiştir. Flip-flop'a clock pulsı gelmediği sürece çıkışlar değişmez. Aşağıdaki tabloda tetiklemeli R-S flip-flopun içyapısı ve uyarım tablosu görülmektedir. Uyarım tablosu flip-flop'arla devre tasarımında kullanılır. Tablodaki Ø 'ler ise etkisiz elemanlardır. Yani 1 veya 0 olması durumunda çıkışlar değişmez.

Bazı kaynaklarda (Ø) yerine (d) 'de yazılmaktadır. Bu işaretin yerine 0 veya 1 koyulabilir. Ayrıca tablodaki Qn clock palsından önceki durumu, Qn+1 ise clock palsından sonraki durumu temsil etmektedir. Tablo FF 'un çıkışının Qn'den Qn+1'e geçmesi için S ve R girişlerinin ne olması gerektiğini belirtir.



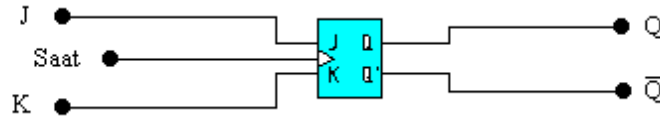
Şekil 1.4: Tetiklemeli R-S flip-flop

GİRİŞLER		SAAT SİNYALİ ÖNCESİ VE SONRASI		İŞLEVLER
S	R	Q _n	Q _{n+1}	Q _n = Saat Sinyalinden Önceki Çıkış Q _{n+1} = Saat Sinyalinden Sonraki Çıkış
0	0	0	0	BİR ÖNCEKİ DURUM - HAFIZA
0	0	1	1	BİR ÖNCEKİ DURUM - HAFIZA
0	1	0	0	RESET – SİLME İŞLEMİ
0	1	1	0	RESET – SİLME İŞLEMİ
1	0	0	1	SET – KURMA İŞLEMİ
1	0	1	1	SET – KURMA İŞLEMİ
1	1	0	Ø..	BELİRSİZ (İSTENMEYEN DURUM)
1	1	1	Ø..	BELİRSİZ (İSTENMEYEN DURUM)
Q _n - - - Q _{n+1}		S		R
0	0	0	Ø..	
0	1	1	0	
1	0	0	1	
1	1	Ø..	0	

Tablo 1.8: R-S Flip- flop zaman durum tablosu

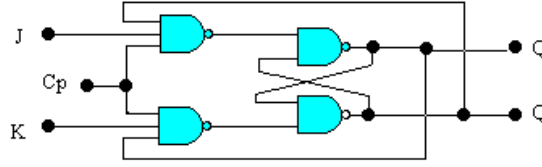
1.2. JK Flip-Flop

J-K flip-flop R-S flip-flop tipindeki tanımsız durumun ortadan kaldırılması açısından bu tipin gelişmiş bir şekli denilebilir. J ve K girişleri gösterirken, Q ve \bar{Q} olmak üzere iki çıkışı vardır. Aşağıda Şekil 1.5'te yükselen kenar tetiklemeli J-K flip-flop'a ait sembolü gösterilmektedir.



Şekil 1.5: J-K Flip- flop sembolü

Aşağıda Şekil 1.6'da yükselen kenar tetiklemeli J-K flip-flopa ait lojik diyagramı görülmektedir.



Şekil 1.6: NAND kapıları ile yapılan J-K flip- flop

JK flip-flopu hemen hemen SR flip-flop'u ile aynı tepkileri verir. Bu flip-flop'u SR flip-flop undan ayıran tek fark J ve K uçlarına 1 geldiğinde tanımsız olmamasıdır. Bu flip-flop'ta JK uçlarına 1 geldiğinde flip-flop bir önceki aldığı değer tersi bir değer alır. Doğruluk tablosu ise aşağıda yer almaktadır.

$Q_n - - - Q_{+1}$	J	K
0	0	Ø..
0	1	Ø..
1	0	Ø..
1	1	Ø..

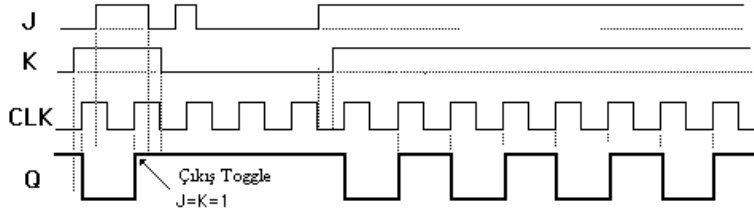
Uyarım Tablosu

J	K	$Q_n - - - Q_{n+1}$
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

Karakteristik Tablosu

Tablo 1.9: J-K Flip- flop zaman durum tablosu

Doğruluk tablosu incelenirse R-S flip-flop doğruluk tablosuna çok yakın olduğu görülecektir. Ancak R-S flip-flopun tanımsız olduğu durum J-K flip-flopta tanımlı hâle gelmiştir. Bu durumda çıkış bir önceki durumun tersi olmaktadır. Bu çalışmaya (toggle-tümleyen çalışma) denilir. Bu özelliğinden dolayı J-K flip-floplar en fazla tercih edilen türlerin başında yer almaktadır. Şekil 1.7'de çıkış grafiği görülmektedir.

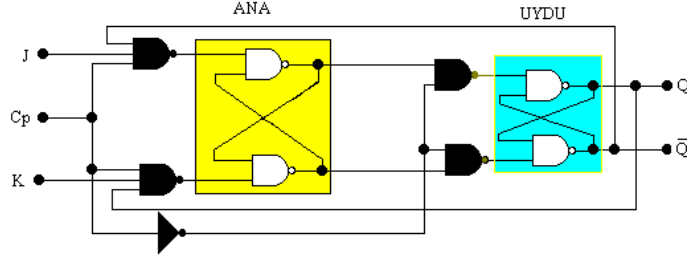


Şekil 1.7: J-K Flip- flop zaman diyagramı

1.3. Ana- Uydu (Master-Slave) Flip-Flop

JK FF'nin çıkışında tetikleme palsinin zamanıyla ilgili bazı sorunlar ortaya çıkmaktadır. *Master-slave* (ana-uydu) tipi FF'ler JK FF'nin geliştirilmiştir. Bir Ana-Uydu flip-flop devresi iki R-S flip-flop ve haricî bir DEĞİL kapısından oluşur. Birinci flip-flop

ana, ikinci flip-flop ise uydu flip-flopu oluşturur. Şekil1.8’de ana-uydu flip-flop devresini göstermektedir.

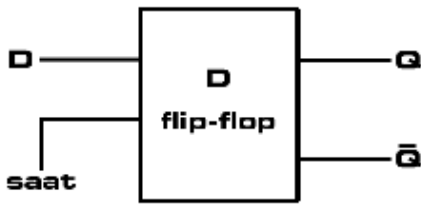


Şekil 1.8: Ana –uydu flip flop lojik devresi

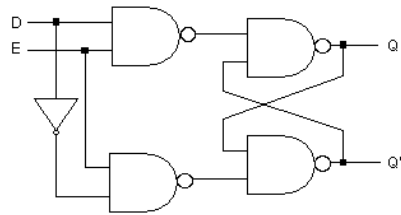
Master, pozitif kenar, slave, negatif kenar tetiklenmelidir. Aynı tetikleme palsinin pozitif kenarında girişler alınmakta, negatif kenarında ise çıkışlar üretilmektedir. Yani pozitif tetikleme palsleri master'a uygulanır. Bu pals slave'e uygulanmadan önce deęillemeye işlemleri yapılır. Bu durumda $K = 1$ 'dir ve master kontrol durumundadır. Bu anda $Cp = 0$ olup slave konum deęiştirmez. Q, tetikleme palsinin zamanı boyunca konum deęiştirmez. $Cp = 0$ olduğunda NOT kapısının çıkışında 1 oluşur ve slave kontrol durumuna geçer. Master FF konum deęiştirmez. Tetikleme girişi (CP) düşen kenar olduğu zaman DEĞİL kapısı çıkışı uydu flip-flop tetikleme girişini (CP) yükselen kenar yapacağından uydu flip-flop yetkilenir ve uydu R-S girişlerinde ana flip-flopun çıkışları olan Y ve Y' olduğundan, uydu flip-flopun Q çıkışında Y, Q' çıkışında Y' görülecektir. Ana flip-flop tetikleme girişinde bir düşen kenar olduğundan girişteki deęişim ne olursa olsun bir önceki durum korunacaktır.

1.4. D Tipi Flip Flop

Bir R-S mandalının S ve R girişleri arasına DEĞİL kapısı bağlanarak D (Data) mandalı elde edilebilir. Aşağıda D mandalına ait sembol görülmektedir.



Şekil 1.9:D Tipi flip flop sembolü



Şekil 1.10:D Tipi flip flop lojik devresi

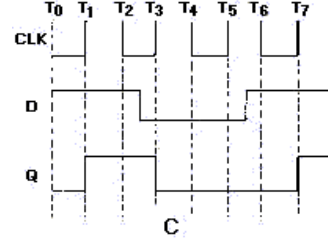
Şekil 1.10’da görüldüğü gibi D FF 'un iç yapısında tetiklemeli R-S FF 'un iki ucu arasına DEĞİL (NOT) kapısı eklenerek D FF elde edilmiştir. Bu devrede NOT kapısı sayesinde giriş uçlarına aynı anda “1” uygulamak olanaksızdır.

Doğruluk tablosunda görüldüğü gibi D FF clock palsi uygulandığında girişindeki bilgiyi aynen çıkışa iletir. D FF besleme olduğu sürece bilgi saklayabilir. Clock palsi uygulanmadığı sürece FF 'un girişleri ne olursa olsun çıkış sabittir. Böylece bilgiyi saklamış

olur. Bu özelliğinden dolayı bellek (hafıza) olarak kullanılan FF'dir. D, data (bilgi, veri) sözcüğünün baş harfidir. Mikroişlemcili sistemlerde çokça kullanılır.

Q _n ... Q _{n+1}		D
0	0	0
0	1	0
1	0	1
1	1	1

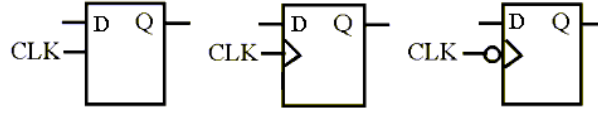
D	Q _n	Q _{n+1}
0	0	0
0	1	1
1	0	1
1	1	1



Tablo 1.10 D Tipi flip flop zaman durum tablosu

Şekil 1.11: D Tipi F/F zaman diyagramı

D tipi FF'lar, giriş verisinin saat darbesiyle kabul edilmesi zamanları açısından farklılık gösterir. Bu farklılık FF'un tetiklenme yapısından kaynaklanır. Kenar (edge) tetiklemeli FF'lar, D girişindeki lojik değeri saat darbesinin bir lojik değerden diğerine geçişinde çıkışa yani Q'ya iletir. FF'un bu özelliği sembolünde CLK girişindeki ">" işareti ile belli edilir. Eğer FF 0'dan 1'e geçişte clock alıyorsa yani tetikleniyorsa, D girişindeki bilgiyi çıkışa iletiyorsa pozitif kenar tetiklemeli 1'den 0'a geçişte tetik alıyorsa negatif kenar tetiklemelidir. Flip-floplarda tetikleme çeşitleri örnekleri aşağıda görülmektedir.



Şekil 1.12. D Tipi flip flop düşen ve yükselen kenar Tetikleme sembolleri

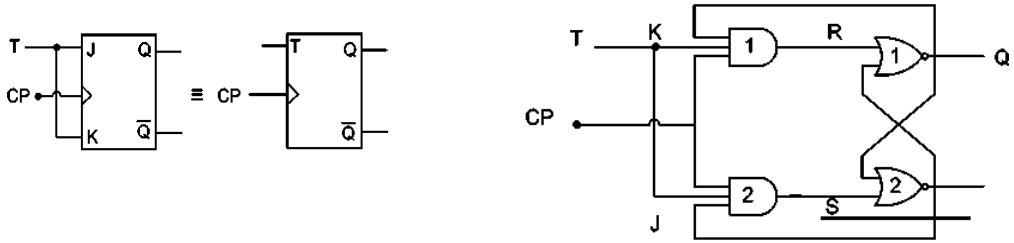
Genellikle latch diye belirtilen seviye tetiklemeli (level triggered) flip flop saat sinyalinin seviyesine duyarlı olarak D girişini saat sinyali lojik 1 olduğunda ya da 0 olduğunda Q çıkışına iletir. Aralardaki geçişlerde bir önceki bilgisini korur.

Bir seviye tetiklemeli flip flop için clock sinyali tetikleme seviyesinde kaldığı sürece çıkış girişi takip etmektedir. Bu durum sırasında flip flop saydam (transparent) olarak belirtilir.

Entegreli D tipi flip floplarda D ve Clk uçlarından başka SET ve CLEAR olmak üzere aktif low ile çalışan iki giriş vardır. Bu girişler asenkron olup diğer girişlerden bağımsızdır. İkisi de aynı anda 0 olmamalıdır. SET sıfır yapılırsa FF 1'lenir CLR 0 yapılırsa ise sıfırlanır.

1.5. T (Toggle) Flip-Flop

Bir J-K flip-flopun iki girişini kısa devre ederek T (toggle) flip - flop elde edilebilir. Aşağıda Şekil 1.12'de T flip-flopa ait lojik diyagram, sembol ve doğruluk tablosu gösterilmektedir.



Şekil 1.13: T Tipi flip flop sembolü ve iç yapısı (lojik devresi)

T flip-flopun kullanışlı iki durumu vardır eğer giriş "0" ise çıkışta bir önceki durum (Q_n), eğer giriş "1" ise çıkışta bir önceki durumun tersi görünecektir (Q'). T girişi "0" ise çıkış değişmez. T girişi 1 ise çıkış tersine çevrilir. Örneğin herhangi bir anda Q çıkışının 1 olduğunu varsayalım. Bu anda T girişine 1 uygulanır ve tetikleme girişinden de bir puls uygulanırsa çıkış 0 olur. T girişinden "0" uygulanırsa çıkış değişmez.

T	Cp	Q	Q'
0	0	1	0 Önceki konum
0	1	1	0 Değişme yok
1	0	1	0 Değişme yok
1	1	0	1 Değişme var

Q _n	Q _{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

Tablo 1.11: T Tipi flip flop zaman durum tablosu

T (Toggle) flip flopunun çıkış sinyalinin frekansı giriş sinyalinin frekansının yarısı kadardır. Bu nedenle T tipi FF'ye ikiye bölen devre de denir.

Buraya değin incelenen FF'lerdeki girişler (R, S, D, T, J, K) senkron giriş olarak anılır. Ancak FF'lerde, preset (ön ayar) ve clear (silme) girişleri de bulunur. Bu uçlara asenkron giriş adı verilir. Asenkron girişler yardımıyla diğer girişleri dikkate almadan FF çıkışını istediğimiz şekilde değiştirebiliriz.

UYGULAMA FAALİYETİ

Kare Dalga Osilatör

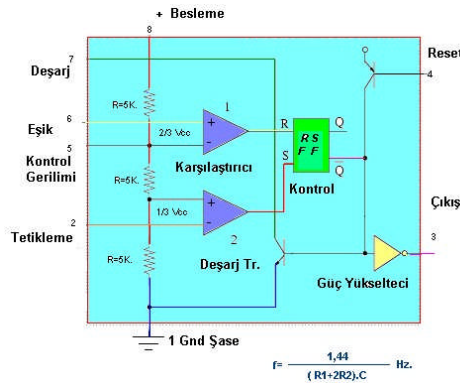
Aşağıda verilen devreyi işlem basamaklarına uygun olarak gerçekleştiriniz.

Deneyde Kullanılacak Malzemeler

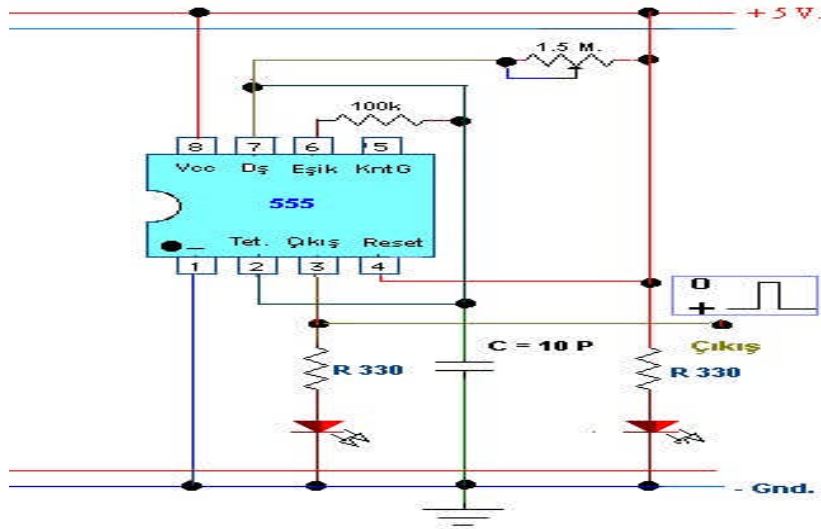
Eleman	Değeri	Sayısı
Entegre	555	1
Kondansatör	100 pF./ 10 V.	1
Kondansatör	0,01µF./ 10 V.	1
Kondansatör	10 µF./ 10 V.	1
Direnç	100 KΩ.	1
Direnç	330 Ω.	1
Potansiyometre	1,5 M.	1
Ölçü aleti	AVO metre	2
Osilaskop	Analog	1
Güç Kaynağı	DC 5 V.	1
Proje bordu		1

Deney Şeması

Bilgi: Flip flop, sayıcı ve kaydedici devrelerinin çalışabilmesi için gerekli olan clock (saat) sinyalini elde etmek için genellikle 555 zamanlayıcı entegresi kullanılmaktadır. Bu entegre içinde hem analog hem dijital devreler bulunmaktadır. Karşılaştırıcı olarak kullanılan iki adet op-amp eşik ve tetikleme gerilimleri arasındaki farklara göre RS FF'un girişlerini oluşturur. RS FF Q' çıkışı güç yükseltici üzerinden entegre dışına verilir. Devredeki yer alan eleman değerleri değiştirilerek çıkış sinyalinin kare dalga olması sağlanır. 555 Entegresi iç yapısı şekilde görüldüğü gibidir.



Gözümüzün görme sınırı içinde kalan düşük frekansların etkisini çıkıştaki led diyot aracılığı ile görebiliriz. Görme sınırları dışında kalan titreşimleri ise osilaskop aracılığıyla izleyeceğiz. Devrede eşik ve deşarj gerilimlerini de osilaskop yardımıyla ölçmeye çalışınız.



İşlem Basamakları	Öneriler
<ul style="list-style-type: none"> ➤ Elemanları sağlayıp sağlamlık kontrollerini yapınız. 	<ul style="list-style-type: none"> ➤ Deney öncesi yazılı ve görsel dokümanlardan bilgisayar ve internet ortamından yararlanarak kullanacağınız elemanların özelliklerini gözden geçirerek hazırlık yapınız. ➤ Uygulamada kullanacağınız elemanların nasıl çalıştığı konularında tereddütte olduğunuz konularda çeşitli kanallardan bilgilerinizi gözden geçirin. ➤ Bread-board ve deney seti uygulamalarında elektronik devre elemanlarının özellikle ayaklarının hassas ve kırılabilir yapıda olduğunu akıldan çıkarmadan çalışınız. ➤ Devreye enerji uygulamadan önce özellikle kısa devre kontrolünü ilgili ölçü aletleri ile gerçekleştiriniz. ➤ Devreye enerji uyguladığımızda enerji altında çalışırken kendiniz ve devre elemanlarının sağlığı açısından olabildiğince dikkatli olun.
<ul style="list-style-type: none"> ➤ Elemanlarınız sağlamıysa yukarıdaki devreyi proje bordsu üzerine kurunuz. 	
<ul style="list-style-type: none"> ➤ Devre bağlantılarını gözden geçirin. 	
<ul style="list-style-type: none"> ➤ Devreye enerji uygulayınız. 	
<ul style="list-style-type: none"> ➤ Potansiyometre ve kondansatör değerlerini değiştirerek devrenizdeki değişimleri gözlemleyip gerekli değerleri tabloya işleyiniz. 	
<ul style="list-style-type: none"> ➤ Kondansatör değerlerini ve potansiyometre konumunu değiştirerek değişimleri gözlemleyip gözlemlerinizi tabloya işleyiniz. 	
<ul style="list-style-type: none"> ➤ Gözlemlerinize göre ölçüm tablosunu oluşturunuz. 	
<ul style="list-style-type: none"> ➤ Devrenizi daha sonraki uygulamalarda kullanmak için saklayınız. Uygulamalarınızı board üzerinde yaparsanız devrenizi bakır plaket üzerine gerekli işlemleri yaparak aktarabilirsiniz. 	

Ölçüm Tablosu

	Durum	V 6-Şase (Eşik Gerilimi)	V 7- Şase(Deşarj Gerilimi)	Çıkış Freka nsı	Pot en az direnç değerindeyken çıkıştaki osilaskop görüntüsü	Pot en çok direnç değerinde iken çıkıştaki osilaskop görüntüsü
1	Düşük değerli kondansatör devreye takılı iken potansiyometrenin en az ve en çok direnç değerinde olduğu durumda gerekli ölçmeleri yaparak yan tarafa not alınız.					
2	Orta değerli kondansatör devreye takılı iken potansiyometrenin en az ve en çok direnç değerinde olduğu durumda gerekli ölçmeleri yaparak yan tarafa not alınız.					
3	Büyük değerli kondansatör devreye takılı iken potansiyometrenin en az ve en çok direnç değerinde olduğu durumda gerekli ölçmeleri yaparak yan tarafa not alınız.					

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadıklarınız için **Hayır** kutucuklarına (X) işareti koyarak öğrendiklerinizi kontrol ediniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Uygulama öncesi hazırlıkları yaptınız mı?		
2. Uygulama sırasında önerilen işlem basamaklarına uydunuz mu?		
3. Uygulama devresi yerleşimi düzenli mi?		
4. Uygulama devresi kurulumu sırasında ölçü aleti kullanımına özen gösterdiniz mi?		
5. Devreyi enerjilendirmeden gerekli güvenlik önlemlerini aldınız mı?		
6. Devreyi doğru kurdunuz mu ?		
7. Devreniz hatasız çalışıyor mu?		
8. Devre ile ilgili sorulara verilen yanıtlarınız doğru mu?		
9. Devrenin çalışma prensibini biliyor musunuz?		
10. Uygulamayı istenilen sürede tamamladınız mı?		
11. Elde edilen sonuçlar yanıt anahtarına uygun mu?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise sonraki “Uygulama Faaliyeti”ne geçiniz.

UYGULAMA FAALİYETİ

Tetiklemeli R-S Flip Flop Uygulaması

Aşağıda verilen devreyi işlem basamaklarına uygun olarak gerçekleştiriniz.

Deneyde Kullanılacak Malzemeler

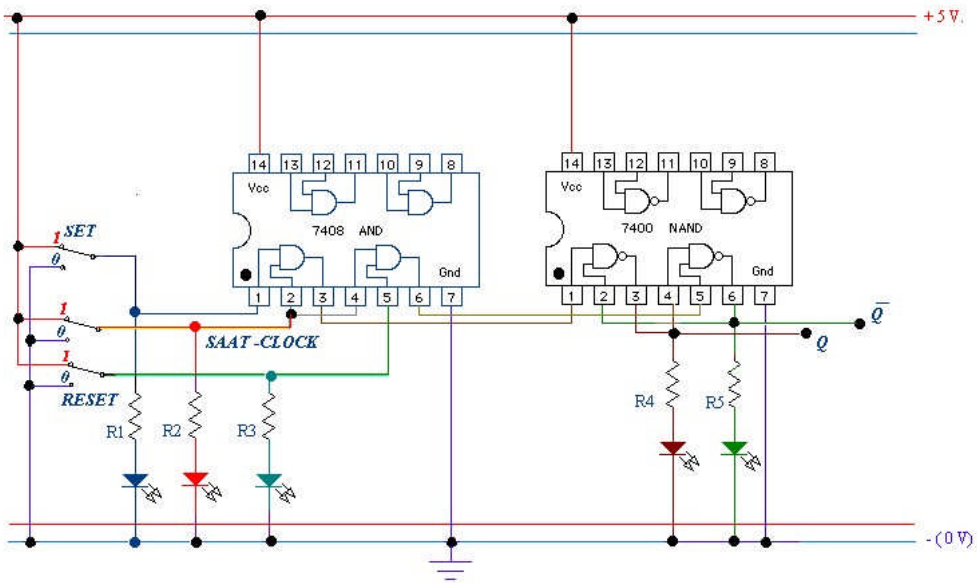
Eleman	Değeri	Sayısı
Ve kapısı entegresi	7408	1
Ve değil kapısı entegresi	7400	1
Anahtar	1 A. 12 V.	4
Direnç	330 Ω .	1
Direnç	100 Ω ., 680 Ω , 1K Ω .	5
Led diyot	Değişik renklerde	5
Ölçü aleti	AVO metre	1
Güç kaynağı	DC 5 V.	1

Deney Şeması

RS F-F devrelerinde set girişi 1, reset girişi 0 iken çıkış 1 değerini almaktaydı. S=0, R=0 durumunda ise çıkış belirsizdi. Bilgi depolamak için iki girişinde 1 konumunda olması gerekmektedir.

Tetiklemeli R-S tipi flip-flop R-S tipi flip-flop'un önüne iki adet Ve Değil kapısı eklenerek elde edilmiştir. Tetiklemeli FF'lerde tetikleme girişine saat darbesi uygulanmadığı sürece giriş bilgileri çıkışı değiştirmez. Şekilde verilen devrede saat girişi uygulandığı zaman S ve R girişlerine gelen 1 bilgisi NAND kapılarını ilettime sokar. Örneğin S = 1, R = 0 olduğunda saat girişi anahtarla aktif hale getirilirse Q çıkışı 1 olur.

Deneyde edinilen teorik bilgilerin sınaması yapılacaktır. Devrenin board (uygulama alanı) üzerine yerleşimi öyledir.



İşlem Basamakları	Öneriler
➤ Elemanları sağlayıp sağlamlık kontrollerini yapınız.	➤ Deney öncesi yazılı ve görsel dokümanlardan bilgisayar ve internet ortamından yararlanarak kullanacağınız elemanların özelliklerini gözden geçirerek hazırlık yapınız.
➤ Elemanlarınız sağlamsa yukarıdaki devreyi proje bordu üzerine kurunuz.	➤ Devrenizin nasıl çalışacağı konusunda şekil üzerinde devre takibini gerçekleştirip hazırlık yapınız.
➤ Devre bağlantılarını gözden geçiriniz.	➤ Bread-board ve deney seti uygulamalarında elektronik devre elemanlarının özellikle ayaklarının hassas ve kırılgan yapıda olduğunu akıldan çıkarmadan çalışınız.
➤ Devreye enerji uygulayınız.	➤ Devreye enerji uygulamadan önce özellikle kısa devre kontrolünü ilgili ölçü aletleri ile gerçekleştiriniz.
➤ Ölçüm tablosuna göre anahtarları açıp kapatınız.	➤ Devreye enerji uyguladığınızda enerji altında çalışırken kendiniz ve devre elemanlarının sağlığı açısından olabildiğince dikkatli olunuz.
➤ Gözlemlerinize göre gözlem tablosunu oluşturunuz.	

GÖZLEM TABLOSU

Gözlem Nu	Girişler		Saat Sinyali Öncesi ve Sonrası		İşlevler Q_n = Saat Sinyalinden Önceki Çıkış Q_{n+1} = Saat Sinyalinden Sonraki Çıkış
	S	R	Q_n	Q_{n+1}	
1	0	0			
2	0	0			
3	0	1			
4	0	1			
5	1	0			
6	1	0			
7	1	1			
8	1	1			

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadıklarınız için **Hayır** kutucuklarına (X) işareti koyarak öğrendiklerinizi kontrol ediniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Uygulama öncesi hazırlıkları yaptınız mı?		
2. Uygulama sırasında önerilen işlem basamaklarına uydunuz mu?		
3. Uygulama devresi yerleşimi düzenli mi?		
4. Uygulama devresi kurulumu sırasında ölçü aleti kullanımına özen gösterdiniz mi?		
5. Devreyi enerjilendirmeden gerekli güvenlik önlemlerini aldınız mı?		
6. Devreyi doğru kurdunuz mu ?		
7. Devreniz hatasız çalışıyor mu?		
8. Devre ile ilgili sorulara verilen yanıtlarınız doğru mu?		
9. Devrenin çalışma prensibini biliyor musunuz?		
10. Uygulamayı istenilen sürede tamamladınız mı?		
11. Elde edilen sonuçlar yanıt anahtarına uygun mu?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise sonraki “Uygulama Faaliyeti”ne geçiniz.

UYGULAMA FAALİYETİ

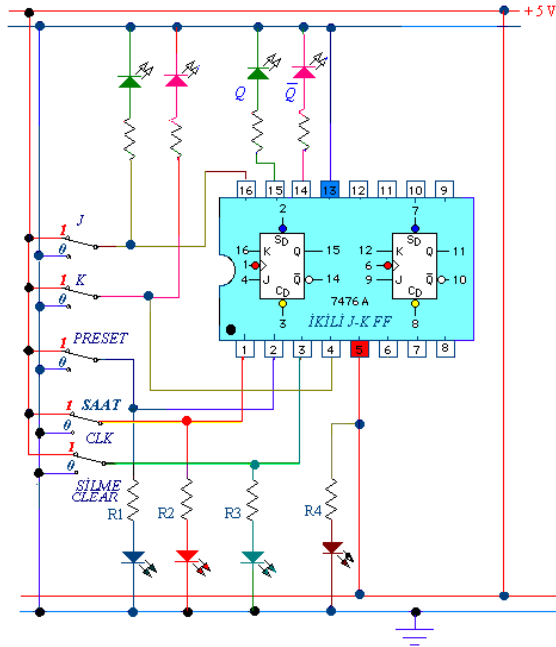
JK FF Devresi

Aşağıda verilen devreyi işlem basamaklarına uygun olarak gerçekleştiriniz.

Deneyde Kullanılacak Malzemeler

Eleman	Değeri	Sayısı
Entegre	7476 JK FF Entegresi	1
Direnç	330 Ω .	7
Led diyot	Değişik renklerde	7
Ölçü aleti	AVO metre	2
Güç kaynağı	DC 5 V.	1
Proje bord		

Deney Şeması



İşlem Basamakları	Öneriler
➤ Elemanları sağlayıp sağlamlık kontrollerini yapınız.	➤ Deneş öncesi yazılı ve görsel dokümanlardan bilgisayar ve internet ortamından yararlanarak kullanacağınız elemanların özelliklerini gözden geçirerek hazırlık yapınız.
➤ Elemanlarınız sağlamsa yukarıdaki devreyi proje bordu üzerine kurunuz.	➤ Devrenizin nasıl çalışacağı konusunda şekil üzerinde devre takibini gerçekleştirip hazırlık yapınız.
➤ Devre bağlantılarını gözden geçiriniz.	➤ Uygulamada kullanacağınız elemanların nasıl çalıştığı konularında tereddütte olduğunuz konularda çeşitli kanallardan bilgilerinizi gözden geçiriniz.
➤ Devreye enerji uygulayınız.	➤ Bread-board ve deney seti uygulamalarında elektronik devre elemanlarının özellikle ayaklarının hassas ve kırılğan yapıda olduğunu akıldan çıkarmadan çalışınız.
➤ Devrenin giriş değerlerini değiştirirken en son CLK girişini değiştiriniz.	➤ Devreye enerji uygulamadan önce özellikle kısa devre kontrolünü ilgili ölçü aletleri ile gerçekleştiriniz.
➤ Gözlemlerinize göre doğruluk tablosunu oluşturunuz.	➤ Devreye enerji uyguladığımızda enerji altında çalışırken kendiniz ve devre elemanlarının sağlığı açısından olabildiğince dikkatli olunuz.

Doğruluk Tablosu

Aşağıdaki doğruluk tablosunu devreyi gözlemleyerek doldurunuz.

Kontrol Girişleri		Girişler			Çıkışlar	
Ön ayar	Silme	J	K	Clk.	Q	Q'
0	0	0	0	0		
1	0	0	1	1		
1	0	0	0	0		
1	1	0	0	0		
1	1	0	1	1		
1	1	0	0	0		
1	0	0	0	0		
1	1	0	0	1		
1	1	1	0	0		
1	1	1	1	1		
1	1	1	0	0		
1	1	1	1	1		
1	1	1	0	0		
1	1	1	1	1		
1	1	1	0	0		
0	1	1	1	1		
1	1	1	0	0		

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadıklarınız için **Hayır** kutucuklarına (X) işareti koyarak öğrendiklerinizi kontrol ediniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Uygulama öncesi hazırlıkları yaptınız mı?		
2. Uygulama sırasında önerilen işlem basamaklarına uydunuz mu?		
3. Uygulama devresi yerleşimi düzenli mi?		
4. Uygulama devresi kurulumu sırasında ölçü aleti kullanımına özen gösterdiniz mi?		
5. Devreyi enerjilendirmeden gerekli güvenlik önlemlerini aldınız mı?		
6. Devreyi doğru kurdunuz mu ?		
7. Devreniz hatasız çalışıyor mu?		
8. Devre ile ilgili sorulara verilen yanıtlarınız doğru mu?		
9. Devrenin çalışma prensibini biliyor musunuz?		
10. Uygulamayı istenilen sürede tamamladınız mı?		
11. Elde edilen sonuçlar yanıt anahtarına uygun mu?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise “Ölçme ve Değerlendirme”ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1. Devrede $R_1=1,5 \text{ M}$, $R_2= 100 \text{ K}$ ve $C= 10 \text{ }\mu\text{F}$. iken çıkış frekansı ne olur?
A) 84,7 Hz.
B) 847 Hz.
C) 8470 Hz.
D) 84700 Hz.
2. 555 Entegresinde 4 nu'lu ucun görevin aşağıdakilerden hangisidir?
A) Deşarj
B) Eşik
C) Reset
D) Çıkış
3. 555 Entegresinde 7 nu'lu ucun görevi aşağıdakilerden hangisidir?
A) Deşarj
B) Eşik
C) Reset
D) Çıkış
4. RS F-F devrelerinde set girişi 1, reset girişi 0 iken çıkış hangi değeri almaktadır?
A) 1
B) 0
C) Belirsiz
D) Belirli
5. $S=0$, $R=0$ durumunda ise çıkış hangi durumdadır?
A) Belirli
B) Aktif
C) Belirsiz
D) Pasif
6. Tetiklemeli FF'lerde tetikleme girişine saat darbesi uygulanmadığı sürece giriş bilgileri çıkışı nasıl etkiler?
A) Giriş çıkışı izler.
B) Çıkışı değiştirmez.
C) Çıkış girişi izler.
D) Çıkışı değiştirir.

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki öğrenme faaliyetine geçiniz.

ÖĞRENME FAALİYETİ-2

AMAÇ

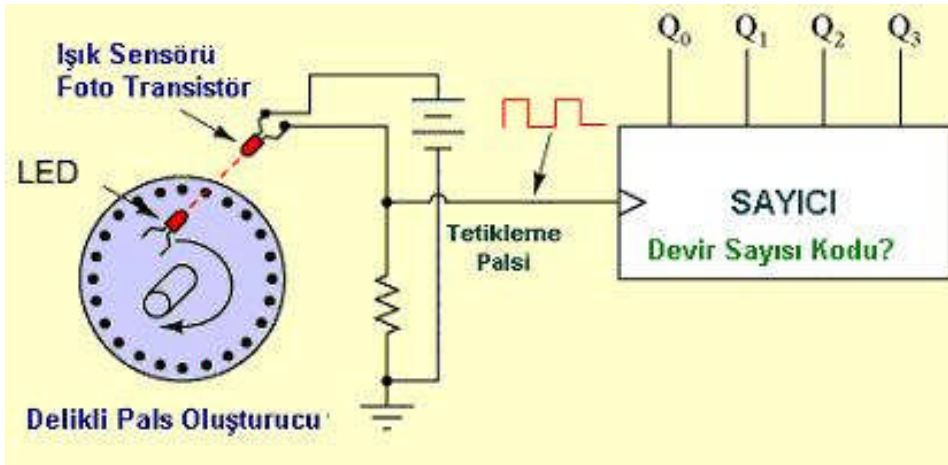
Sayıcı ve kaydedici devrelerin yapılarını ve çeşitlerini öğrenerek tekniğine uygun olarak sayıcı devreleri tasarlayıp yapabileceksiniz.

ARAŞTIRMA

- Basılı ve görsel kaynakları, bilgisayar ortamını, interneti kullanarak sayıcılar konusunda ön araştırma yapınız. Bu kavramlara örnekler bulmak için tartışınız.
- Sayıcıların günlük yaşantımızda ve meslek alanımızda hangi alanlarda kullanıldığını ya da kullanılabileceğini tartışınız.
- Bulduğunuz dokümanları rapor haline getirerek sınıfta arkadaşlarınızla tartışınız.

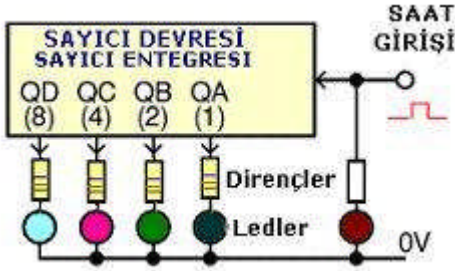
2. SAYICILAR

Giriş darbelerine bağlı olarak belirli bir durum dizisini tekrarlayan devrelere sayıcı (counters) adı verilir. Sayıcılar flip flopların arka arkaya özel yöntemler kullanılarak bağlanmasıyla elde edilen dijital devrelerdir. Sayıcıların kullanım alanları olarak, zamanlama (frekans bölme), zaman gecikmesi elde etme, girişteki palsleri istenilen koda dönüştürme ve bu kod bilgisini depolama, özel ardışık - sıralı kodlar üretme vb. yazılabilir. Şekil 2.1'de sayıcıların kullanım alanlarından biri görülmektedir.

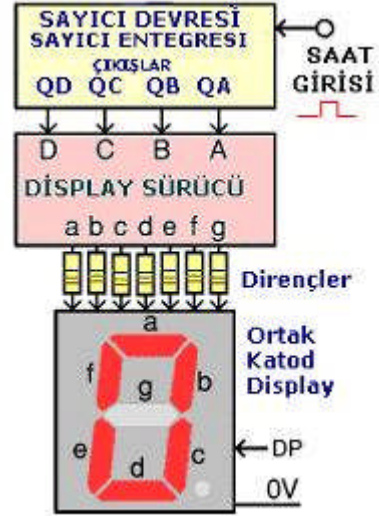


Şekil 2.1: Örnek sayıcı düzeneği

Sayıcılar (clock cp, clk, pulse) saat palsleriyle tetiklenerek çalışır. Yani sayıcılar girişlerine uygulanan tetikleme sinyallerini (clock palslerini) sayar. Sayıcı devrelerinin ya da entegrelerinin çıkışlarına Şekil 2.1’de görüldüğü gibi ışık yayan diyotlar ya da display olarak adlandırılan ışıklı göstergeler bağlanarak görsel hale getirilebilir. Ya da sırasal mantık devrelerine ya da mikroişlemcili sistemlere bilgi aktarımı yapabilir.



Şekil 2.2: Sayıcı devresi (entegresi) çıkışına ledlerin bağlantısı

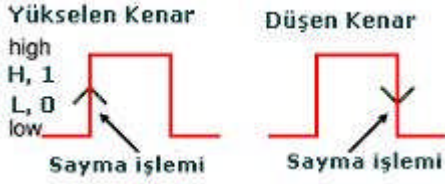


Şekil 2.3: Sayıcı devresi (entegresi) çıkışına gösterge (display) bağlanması

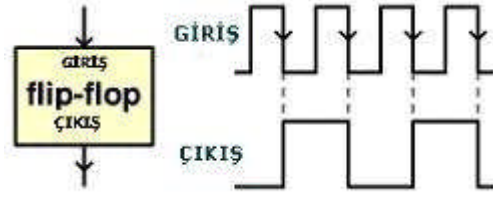
Geniş bir uygulama alanı bulan sayıcı devreleri genel olarak aşağıdaki gibi sınıflandırılabilir.

- Tetikleme sinyalinin uygulanmasına göre
 - Asenkron (eş zamanlı, uyumlu, dalgacık, seri) sayıcılar
 - Senkron (eş zamansız, uyumsuz, paralel) sayıcılar
- Sayma yönüne göre
 - Yukarı - ileri sayıcılar (up counters)
 - Aşağı - geri sayıcılar (down counters)
 - Yukarı / aşağı sayıcılar (up / down counters)
- Elde edilen sayının kodlanmasına göre
 - İkilik sayıcı (binary counter)
 - BCD sayıcı (bcd counter)
 - Onluk sayıcı (decimal counter)

Sayıcılar flip-flop (FF)'lerden oluşmaktadır. Şekil 2.4’te görüldüğü gibi flip-flopların tetiklenme çeşitlerine göre yükselen ya da düşen kenarda sayma işlemi gerçekleşir.



Şekil 2.4:FF'un tetiklenme biçimi



Şekil 2.5: FF'un giriş çıkış sinyalleri

Asenkron sayıcılarda kullanılan flip-floplar peş peşe tetikleneceklerinden dolayı devrenin hızı düşer ve senkron sayıcılara göre daha yavaş çalışır. Devrenin hızının düşük olması nedeniyle yüksek hızda sayma yapılması istenilen yerlerde kullanılmaz.

Senkron sayıcılar asenkron sayıcılardan daha hızlı ve hatasız çalışır. Senkron sayıcılarda ise tüm flip floplar aynı anda tetiklenir. Bu yüzden senkron sayıcılar asenkron sayıcılara göre daha fazla tercih edilir. Senkron sayıcılar paralel, asenkron sayıcılar ise seri sayıcı olarak da adlandırılır.

Bir sayıcının tekrar yapmadan alabildiği durum sayısına veya sayabildiği sayı miktarına o sayıcının " mod"u adı verilir. Mod sayıcıda kullanılan flip flopların sayısı tarafından belirlenir. İki ff'tan oluşmuş sayıcı $2^{FF\ SAYISI} = 2^n = 2^2 = 2 \times 2 = 4$ değişik durum alır. Yani 0-3 arası 0,1,2,3 sayılarını sayabilir.

Üç ff'tan oluşturulmuş sayıcı üç bitlik sayıcı olarak anılır. Sayma modu ise şöyle hesaplanır. Sayma modu $= 2^{FF\ SAYISI} = 2^n = 2^3 = 2 \times 2 \times 2 = 8$.

Dört ff'tan oluşturulmuş sayıcı ise dört bitlik sayıcı olarak adlandırılır. Sayma modu ise; $2^{FF\ SAYISI} = 2^n = 2^4 = 2 \times 2 \times 2 \times 2 = 16$ olarak bulunur. Modu 16'dır. Yani 0-15 arasını sayabilecektir.

Sayıları istediğimiz sayılar arasında da saydırabiliriz. Sayıcının modu 13 dendiğinde sayıcının 13 farklı durum alabileceği, yani 0-12 arasını sayabileceğini söyleyebiliriz. Böyle bir sayıcıyı oluşturabilmek için gerekli ff sayısının nasıl bulunacağını ilerleyen konularımızda inceleyeceğiz.

2.1. Asenkron Sayıcılar

Asenkron sayıcılar dalgacık sayıcılar veya seri sayıcılar olarak adlandırılmaktadır. Bu tip sayıcılarda flip-flopların tetikleme sinyali bir önceki flip-flop çıkışlarından alınır. Ancak, en düşük değerlikli bite ait flip-flop dışarıdan verilen tetikleme sinyali ile tetiklenir. Diğer bütün flip-flopların saat palsy (clock pulse,cp) önceki flip-flop çıkış değişimleri ile tetiklenir. Bu çalışma özelliklerinden dolayı asenkron sayıcıların tasarımında kullanılan flip-flop tetikleme sinyalinin türü (Yükselen kenar veya düşen kenar tetiklemeli) sayıcının çalışmasında belirleyicidir. Asenkron sayıcılarda kullanılan flip-flopların gelen her darbe ile konum değiştirmesi (Toggle-tümleyen çalışma) istendiğinden J-K veya T flip-flop kullanılır. Bu tip sayıcı devrelerinde tetikleme bir önceki flip-flop çıkışından alınacağından devreye her bir flip-flopun yayılım gecikmesi (propagasyon delay) flip-flop adedi ile çarpılması sonucu

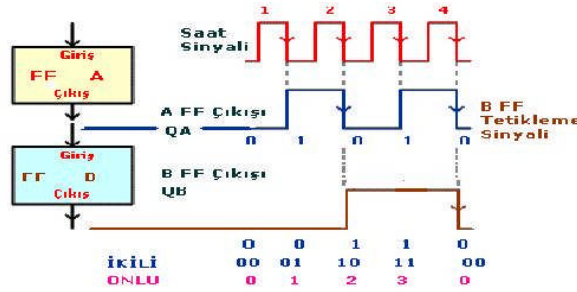
elde edilen süre sonrasında en sondaki flip-flop konum değiştirecektir. Bir FF'nin yayılım gecikmesi (girişe gelen bilginin çıkışa aktarılma süresi) yaklaşık 10 ns'dir. Buna göre devrede 4 FF kullanıldığı zaman yayılım gecikmesi 40 ns olacaktır. Yani sayıcının 0000 konumundan 1111 konumuna geçmesi 40 ns'lik gecikmeyle olacaktır. Bu da devrenin hızının düşmesine yol açar. Bu nedenle yüksek hızda sayma yapamaz.

Asenkron sayıcıları;

- İleri (yukarı) sayıcılar (up counters)
- Geri (aşağı) sayıcılar (down counters)
- İleri-geri (yukarı / aşağı) sayıcılar (up/down counters) olmak üzere sınıflandırabiliriz.

2.1.1. Asenkron İleri (Yukarı Sayıcılar) Sayıcılar (Asynchronous Up Counters)

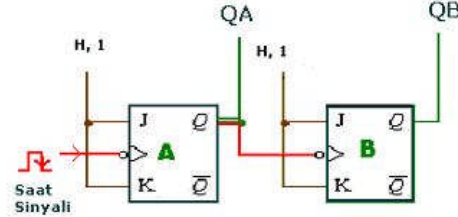
Bir önceki konuda yer alan şekil 2.5'te bir adet FF'nin giriş çıkış sinyalleri yer almaktaydı. Aşağıda yer alan şekil 2.6'da iki adet FF ard arda bağlandığında oluşan durum görülmektedir.



Şekil 2.6: İki adet FF'nin ard arda bağlanması

Şekil 2.6'da görülen devrede iki adet FF bulunmaktadır. FF'ler ard arda bağlandıklarından bir sayıcı oluşturmuşlardır. Modu ise $2 \times 2 = 2 \times 2 = 4$ ' dür. Sayıcı "mod 4" sayıcı adını verebiliriz. Yani dört durum alabilmekte, 0, 1, 2, 3 sayabilmektedir. Sayıcıda bulunan her bir flip-flop çıkışlarına ait zaman diyagramını incelendiğinde flip-flop'ların çıkışlarındaki sinyalin tetikleme girişine uygulanan sinyalin frekansının yarısı olduğu görülmektedir. Sayıcıya 10 KHz'lik bir tetikleme sinyali (CP) uygulandığında 1. Flip-Flop çıkışında 5KHz, 2. Flip-Flop çıkışında 2,5KHz'lik bir sinyal edilmiş olur. Bu özelliklerinden dolayı asenkron sayıcılara dalgacık sayıcılara denmektedir.

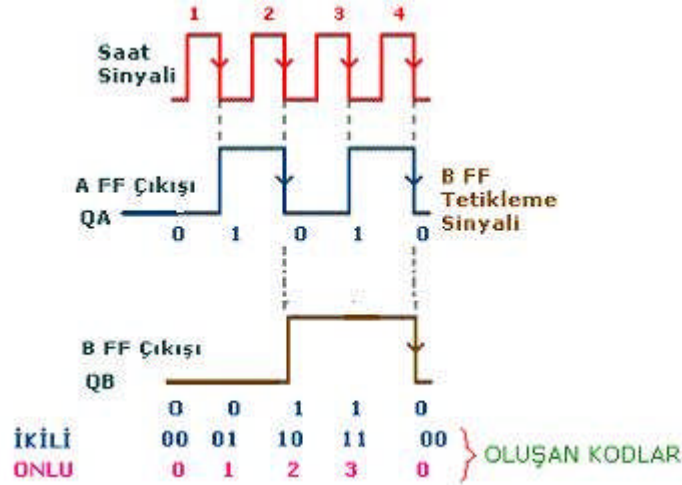
Şekil 2.5'te yer alan FF'lerin türü belirsizdi. Şimdi JK FF'lar kullanarak Şekil 2.6'da yer alan sayıcı devremizi oluşturulalım.



Şekil 2.7: İki bitlik 0,1,2,3'e kadar sayma yapabilen (mod 4) sayıcı

Sayıcı devresi için düşen kenar tetiklemeli J-K flip- flop kullanılmış olup bütün flip-floplar tümleyen (toggle) olarak çalıştırılmıştır. Tetikleme sinyalinin düşen kenarın da ilgili flip- flop konum değiştirecektir. En düşük değerlikli biti taşıyan B flip- flopunun Q çıkışı yüksek değerlikli biti taşıyan B flip- flopuna uygulanacak olan tetikleme sinyali görevini görmektedir. En düşük değerlikli biti taşıyan A flip- flopuna gelen tetikleme sinyalinin ilk düşen kenarında (t_0 zamanı) konum değiştirecek ve çıkış $Q_A = 1$ olacaktır.

Devrenin çalışmasını inceleyelim. İlk tüm FF'ların çıkışları "0" değerinde olsun. A flip- flopun Q çıkışı '0' olduğundan B flip- flopuna konum değiştirmeyecektir. Tetikleme sinyalinin ikinci düşen kenarında (t_i zamanı) flip- floplar tümleyen (toggle) olarak çalıştığından A flip- flopuna konum değiştirecek ve Q_A çıkışı "0" ve Q_B çıkışı 1 olacaktır. Bu durumda A flip- flopunun tetikleme girişine bir düşen kenar uygulandığından Q_A çıkışı da 1 olacaktır. Gelen tetikleme darbelerine bağlı olarak çıkış zaman diyagramı çizilirse Şekil 2.8'deki çıkış zaman diyagramı oluşacaktır.



Şekil 2.8: İki adet FF'lu sayıcının çıkış dalga şekilleri

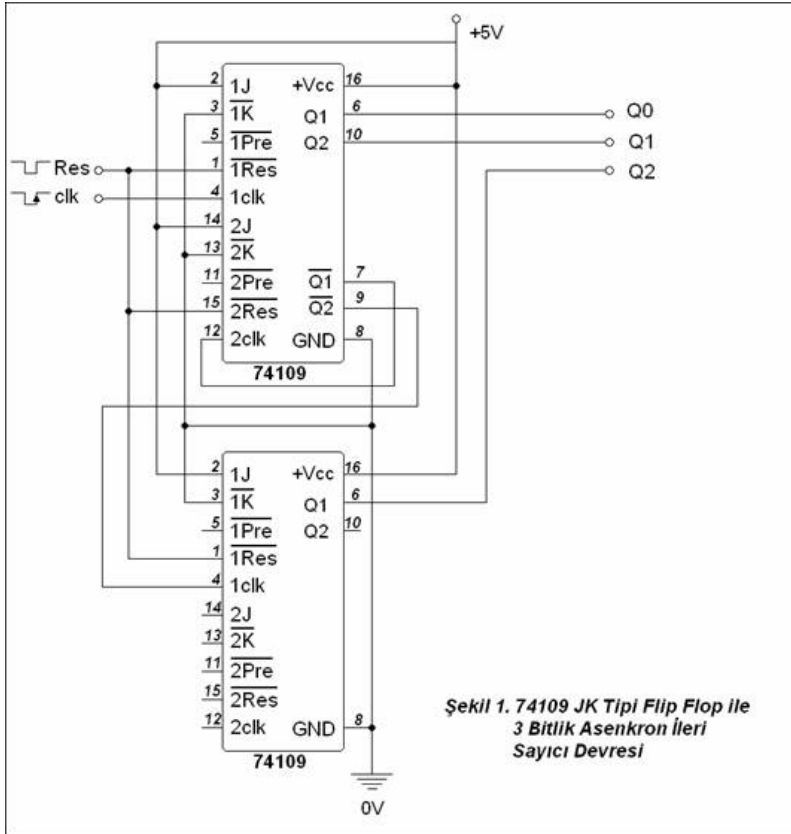
Sayıcıda bulunan her bir flip-flop çıkışlarına ait zaman diyagramı incelenirse flip-flop'ların çıkışlarındaki sinyalin tetikleme girişine uygulanacak sinyalin frekansının yarısı olduğu görülmektedir. Bu çalışmaya ait tablo oluşturulursa Tablo 2.1'de görülen iki bitlik sayma işlemi görülecektir.

Saat Palsi	Çıkişlar		Oluşan Kodlar	
	Q _B	Q _A	İkilik	Onlu
0	0	0	00	0
1	0	1	01	1
2	1	0	10	2
3	1	1	11	3
4	0	0	00	0

Tablo 2.1:İki bitlik sayma işlemleri durumu tablosu

Şimdi Şekil 2.9’da yer alan üç bitlik sayıcıyı inceleyelim. Bu sayıcının modu:

$2^3 = 2 \times 2 \times 2 = 8$ “mod 8“ dir. Sayıcı 8 değişik durum alabilmekte yani 0-7 arası sayabilmektedir.



Şekil 2.9: 3 bitlik J-K tipi FF ile tasarlanan asenkron ileri sayıcı

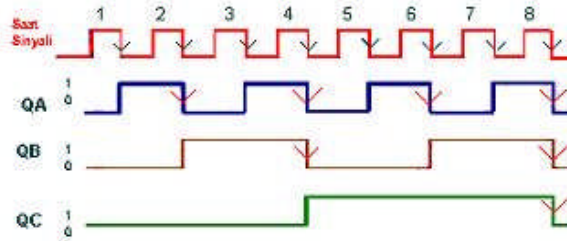
Sayıcı devresi için düşen kenar tetiklemeli J-K flip-flop kullanılmış olup bütün flip-flop’lar tümleyen (toggle) olarak çalıştırılmıştır. Tetikleme sinyalinin düşen kenarında ilgili flip-flop konum değiştirecektir. En düşük değerlikli biti taşıyan A flip-flopunun Q çıkışı orta değerlikli biti taşıyan B flip-flopuna uygulanacak olan tetikleme sinyali görevini

görmektedir. B flip- flop’u da en yüksek değerlikli biti taşıyan C flip-flop’unu tetiklemektedir.

İlk tetikleme sinyalinin düşen kenarında A FF’u konum değiştirecek ve Q_A çıkışı =1 olacaktır. A flip-flop’un ilk anda Q çıkışı '0' olduğundan ve “1” değerine yükseldiğinden B flip-flopu konum değiştirmeyecektir.

İkinci tetikleme sinyalinin düşen kenarında A flip-flopu konum değiştirecek ve Q_A çıkışı “0” olacaktır. Q_A ÇIKIŞI “0” değerine inerken B FF’yi tetikleyecek ve Q_B çıkışı “1” olacaktır.

Üçüncü tetikleme sinyalinin düşen kısmında A flip-flop’u konum değiştirecek ve Q_A çıkışı “1” olacaktır. Q_B ve Q_C değişmeyecektir.



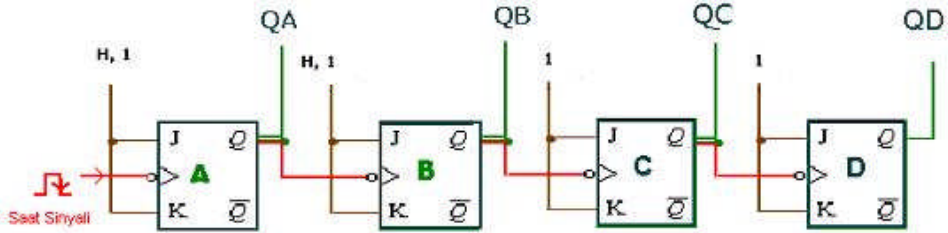
Şekil 2.10 :Zaman diyagramı

Dördüncü tetikleme palsinin düşen kısmında Q_A çıkışı “0” olacaktır. Q_B ’de “0” olacak ancak sifıra düşerken C FF’yi tetiklenecek ve $Q_C = 1$ olacaktır. Gelen tetikleme darbelerine bağlı olarak çıkış zaman diyagramı çizilirse Şekil 2.10’daki çıkış zaman diyagramı oluşacaktır. Bu devreye ait çıkışlar aşağıda yer alan tabloda görülmektedir.

Saat Palsi	Çıkışlar			Oluşan Kodlar	
	Q_C	Q_b	Q_a	İkilik	Onlu
0	0	0	0	000	0
1	0	0	1	001	1
2	0	1	0	010	2
3	0	1	1	011	3
4	1	0	0	100	4
5	1	0	1	101	5
6	1	1	0	110	6
7	1	1	1	111	7
0	0	0	0	000	0

Tablo 2.2: Zaman ve durum tablosu

Dört bit sayıcı için dört adet flip flop kullanmak gereklidir. Dört bit sayıcının modu $2^4 = 2 \times 2 \times 2 \times 2 = 16$ 'dır. Yani 0-15 arası sayma işlemini gerçekleştirecektir. Şekil 2.11'de 4 bit asenkron sayıcının lojik devresi görülmektedir.



Şekil 2.11: Dört bit asenkron sayıcının lojik devresi

Sayıcı devresi için yükselen kenar tetiklemeli J-K flip-flop kullanılmış olup bütün flip-flop'lar tümleyen (toggle) olarak çalıştırılmıştır. Şekil 2.11'de dört bit asenkron sayıcıda JK FF'lerin eş değeri görülmektedir. JK FF'lerle oluşturulmuş devrede J ve K uçları lojik 1 değerine bağlanmıştır. Şekil 2.14'te dört bit asenkron sayıcıda kullanılan JK FF'ların T FF eşdeğeri görülmektedir. T FF'ların çalışmasında FF'ların her saat sinyalinde önceki durumun tersi konum aldığını hatırlayalım. Devreyi incelemeye tüm flip-flopların çıkışının 0 olduğunu varsayarak başlayalım.

İlk saat sinyalinin düşen kenarında A flip-flopu konum değiştirip Q_A 'yı aktif hâle getirecektir. Yani $Q_A = 1$ olacaktır.

İkinci saat sinyalinde A ff'u bir önceki durumun tersi konum alacağından $Q_A = 0$ olacak ve Q_A nın "0" a inerken tetiklediği $Q_B = 1$ konumunu alacaktır.

Üçüncü saat sinyalinin düşen kısmında ise $Q_A = 1$ olacak Q_B ise 1 değerini koruyacaktır.

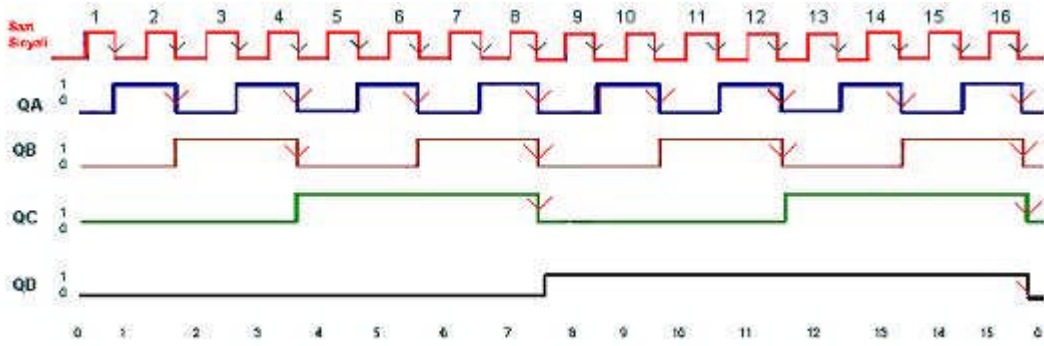
Dördüncü saat sinyalinde ise $Q_A = 0$, $Q_B = 0$ olacak Q_B 'nin tetiklediği Q_C ise "1" değerini alacaktır.

Beşinci saat palsinde ise $Q_A = 1$, $Q_B = 0$ ve $Q_C = 1$ olacaktır.

Altıncı saat palsinde $Q_A = 0$, $Q_B = 1$ ve $Q_C = 1$ değerini koruyacaktır.

Yedinci saat palsinde ise $Q_A = 1$ olacak $Q_B = 1$ ve $Q_C = 1$ değerlerini koruyacaktır.

Sekizinci saat palsinde $Q_A = 0$ olacak, $Q_B = 0$ değerini alacak buna bağlı olarak $Q_C = 0$ değerini alırken Q_C 'nin tetiklediği Q_D "1" değerini alacaktır. Gelen tetikleme darbelerine bağlı olarak çıkış zaman diyagramı çizilirse Şekil 2.12'deki çıkış zaman diyagramı oluşacaktır.



Şekil 2.12: Dört bit asenkron sayıcının çıkış zaman diyagramı

Bu sayıcıya durum tablosu ise aşağıda görülmektedir.

Saat Palsi	Çıkışlar				İkili Kod	Onlu Kod	On Altılı Kod
	D	C	B	A			
0	0	0	0	0	0000	0	0
1	0	0	0	1	0001	1	1
2	0	0	1	0	0010	2	2
3	0	0	1	1	0011	3	3
4	0	1	0	0	0100	4	4
5	0	1	0	1	0101	5	5
6	0	1	1	0	0110	6	6
7	0	1	1	1	0111	7	7
8	1	0	0	0	1000	8	8
9	1	0	0	1	1001	9	9
10	1	0	1	0	1010	10	A
11	1	0	1	1	1011	11	B
12	1	1	0	0	1100	12	C
13	1	1	0	1	1101	13	D
14	1	1	1	0	1110	14	E
15	1	1	1	1	1111	15	F

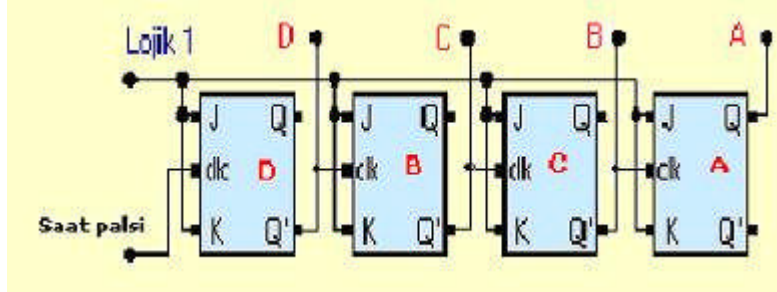
Tablo 2.3: Asenkron sayıcının çıkış tablosu

Sayıcıda bulunan her bir flip-flop çıkışlarına ait zaman diyagramı incelenirse flip-flop'ların çıkışlarındaki sinyalin tetikleme girişine uygulanan sinyalin frekansının yarısı olduğu görülmektedir. Örneğin Mod- 4 asenkron sayıcıya 10 KHz'lik bir tetikleme sinyali (CP) uygulandığında 1.Flip-Flop çıkışında 5Khz, 2. Flip-Flop çıkışında 2,5KHz 'lik bir sinyal edilmiş olur. Bu özelliklerinden dolayı asenkron sayıcılara dalgacık sayıcılarda denmektedir.

Genel olarak n tane flip-flop'tan oluşmuş bir Mod- 2^n asenkron sayıcıda en düşük değerli biti taşıyan flip-flop girişlerine uygulanan tetikleme sinyali (CP) en son flip-flop çıkışında 2^n 'e bölünmüş haliyle görülecektir.

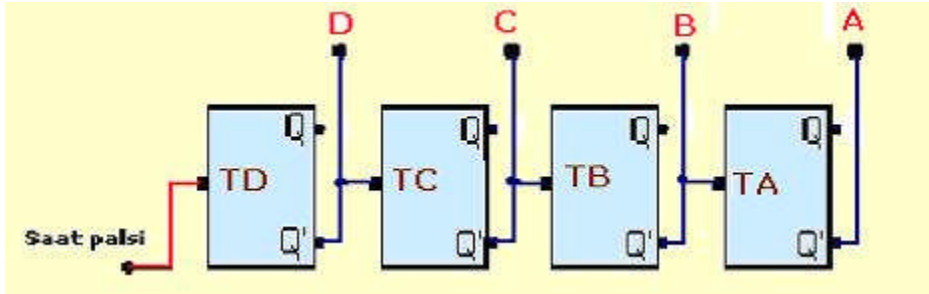
2.1.2. Asenkron Geri (Aşağı) Sayıcı

Aşağıda Şekil 2.13'te yükselen kenar tetiklemeli J-K flip-flop kullanılarak elde edilmiş dört bitlik (Mod-16) asenkron aşağı sayıcı devresini göstermektedir.



Şekil 2.13: 4 Bitlik J-K tipi flip flopla tasarlanan asenkron geri sayıcı devresi

Sayıcı devresi için yükselen kenar tetiklemeli J-K flip-flop kullanılmıştır. Bütün flip-flop'lar tümleyen (toggle) olarak çalıştırılmıştır. Tetikleme sinyalinin yükselen kenarında ilgili flip-flop konum değiştirecektir. Şekil 2.14'te JK FF eş değeri görülmektedir.



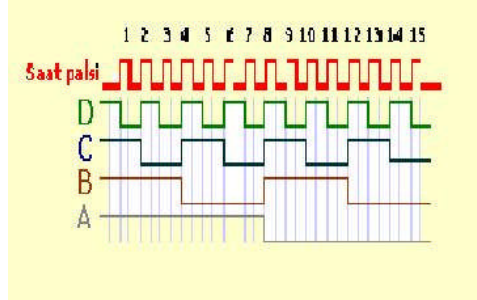
Şekil 2.14: Saat pulsünün uygulanma şekli (asenكرون)

Devrenin çalışmasını incelediğimizde, en düşük değerlikli biti taşıyan D flip-flop'unun Q' çıkışı C flip-flopunun tetikleme sinyali görevini görmektedir. En düşük değerlikli biti taşıyan D flip-flop'u gelen tetikleme sinyalinin ilk yükselen kenarında konum değiştirecek ve QD çıkışı 0 olacaktır. İkinci saat sinyalinde QD çıkışı 1 olacak, C flip-flopunun saat girişide 1 olduğundan QC= 0 olacaktır. Üçüncü saat sinyalinde ise QD = 1, QC = 0, QB=1, QA= 1 olacaktır. Dördüncü saat sinyalinde QD = 0, QC = 1, QB=0, QA= 1 olacaktır. Dikkat edilirse D flip-flop'u her saat pulsünde, C flip-flop'u her iki saat darbesinde, B flip-flop'u ise her dört saat darbesinde konumunu değiştirmektedir. A flip-flop'u ise her sekiz saat darbesinde konumunu değiştirmektedir.

Gelen tetikleme darbelerine bağlı olarak çıkış zaman diyagramı çizilirse aşağıdaki Şekil 2.15'teki çıkış zaman diyagramı oluşacaktır. Bu çalışmaya ait tabloda (Tablo 2.4) aşağıda yer almaktadır.

Saat	Çıkışlar				Dec
	A	B	C	D	
0	1	1	1	1	15
1	1	1	1	0	14
2	1	1	0	1	13
3	1	1	0	0	12
4	1	0	1	1	11
5	1	0	1	0	10
6	1	0	0	1	9
7	1	0	0	0	8
8	0	1	1	1	7
9	0	1	1	0	6
10	0	1	0	1	5
11	0	1	0	0	4
12	0	0	1	1	3
13	0	0	1	0	2
14	0	0	0	1	1
15	0	0	0	0	0

Tablo 2.4: Zaman durum tablosu



Şekil 2.15: Zaman diyagramı

2.1.3. Entegreler ile Asenkron Sayıcı

2.1.3.1. Asenkron Sayıcılarda Sıfırlama ve Ön Kurma Düzenekleri

Flip-flop'larda asenkron girişler diye adlandırılan kurma (SET-PRESET) ve silme (CLR-RESET) adında iki giriş olduğu bir önceki bölümde anlatılmıştı. Bu girişler yardımı ile asenkron sayıcının istenilen bir değerde sıfırlama veya istenilen bir değerden sayma işlemine başlaması (ön kurma) işlemi gerçekleştirilebilir.

Sayma işleminin istenilen bir değerden başlanacağı tür asenkron sayıcılara ön kurmalı (presetlemeli) asenkron sayıcılar denir. Bu devrelerde sayıcının başlayacağı değer bulunduktan sonra kurulması istenilen flip-flop'ların SET girişleri ile sıfırlanması istenilen flip-flop'ların CLR girişleri kısa devre edilerek R-C devresine bağlanmalıdır. Devreye güç

verilmesi ile birlikte devredeki flip-flop'lar istenilen değere kurulacak ve sayıcı bu değerden itibaren saymaya devam edecektir.

2.1.3.2. Asenkron Sayıcıların Sayma Sayısının Modlara Göre Belirlenmesi

Bir asenkron sayıcının modun flip-flop adedini göstermek üzere 2^n ifadesinden bulunduğunu öğrenmiştik. Eğer bir asenkron sayıcı dört flip-floptan oluşmuşsa bu sayıcı mod-16 asenkron sayıcıdır. Yani "0" ile 15 arası sayma işlemini gerçekleştirebilir. Bu durumda mod- 2^n sayıcının tasarımı n bitlik asenkron sayıcıya ait devre çizilerek gerçekleştirilebilir. Ancak sayma işleminin mod- 2^n dışında bir değer (mod-10, mod-13 gibi) olması durumunda mod- 2^n sayıcı devresine bir sıfırlama kapısı eklenmesi gerekmektedir. Bu yöntemle modlara göre sıfırlama yöntemi adı verilir.

2.1.3.3. Asenkron Sayıcıların Tasarımında Kullanılan Entegreler

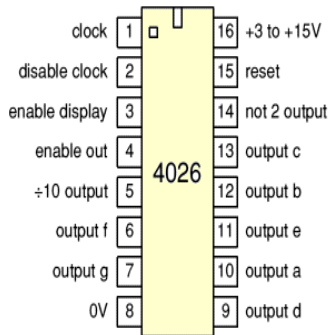
Sayısal elektronikte hazır tümleşik devre olarak çeşitli sayıcılar bulunmaktadır. Bazı asenkron sayıcılara örnekler yer almaktadır.

Türü	Ayak Bağlantıları
BCD 4 Bit 7490 Decade, Divide by 12, and Binary Counters Clock girişi aktif low'dur.	
BCD 4 Bit İkili Sayıcı 7493 Decade, Divide by 12, and Binary Counters Clock girişleri aktif low'dur.	

<p>Ön Kurmalı BCD sayıcı</p> <p>74176 Presettable Decade and Binary Counters</p>	
<p>Ön Kurmalı BCD sayıcı</p> <p>74177 Presettable Decade and Binary Counters</p>	
<p>Halka Sayıcı</p> <p>4017 Decade Counters / Divider with 10 Decaded Outputs</p>	

Tablo 2.5: Entegre DIP yapısı, özellikleri ve bacak bağlantıları

BCD Kod çözücülü 7 Parçalı Display Sürücü Çıkışlı Sayıcı Entegresi



Outputs from the 4026 counter and display driver IC								
Count	a	b	c	d	e	f	g	h
0	•	•	•	•	•	•	•	•
1		•	•	•	•	•		•
2	•	•	•	•	•		•	•
3	•	•	•	•		•	•	•
4		•	•	•		•	•	•
5	•		•	•	•	•		•
6	•	•	•	•	•	•		•
7	•	•	•					
8	•	•	•	•	•	•	•	•
9	•	•	•	•		•	•	•

• = segment on. h is used to drive other counters.

Tablo 2.6: 4026 Entegresi bacak bağlantıları

2.2. Senkron Sayıcılar

Senkron sayıcılar eş zamanlı veya paralel sayıcılar olarak adlandırılır. Tetikleme sinyalinin bütün flip- flop'ların CP girişlerine uygulanması açısından asenkron sayıcılardan farklılık gösterir. Ortak darbe dalgacık sayıcıda olduğu gibi sırasıyla flip- flop'ları sırasıyla tetiklemek yerine bütün flip- flopları aynı anda tetikler. Bir flip- flop'un konum değiştirmesi o sırada flip- flop girişlerinde belirlenir. Şimdi 4 bit (4 çıkışlı) senkron sayıcıyı ele alalım. 4 bit sayıcı için dört adet flip-flop kullanacağız. Aşağıda 4 bit senkron sayıcının çizimi ve çıkış tablosu görülmektedir. Senkron sayıcılar çalışma hızı açısından asenkron sayıcılara üstünlüğü vardır. Her bir durum için ulanılan sıralı devre elemanının yayılım gecikmesi (propagasyon delay) süresi kadar gecikmesi vardır. Ancak tasarımda kullanılan devre elemanları asenkron sayıcılara göre fazladır.

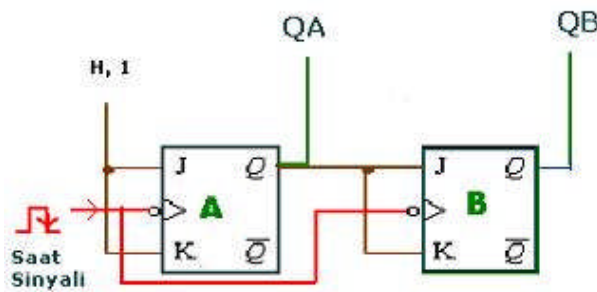
2.2.1. İleri (Yukarı) Senkron Sayıcı

Senkron sayıcılar eş zamanlı veya paralel sayıcılar olarak adlandırılır. Tetikleme sinyalinin bütün flip-flop'ların CP girişlerine uygulanması açısından asenkron sayıcılardan farklılık gösterir. Ortak darbe dalgacık sayıcı da olduğu gibi flip-flop'ları sırasıyla tetiklemek yerine bütün flip-flop'ları aynı anda tetikler. Bir flip-flop'un konum değiştirmesi o sırada flip-flop girişlerinde belirlenir.

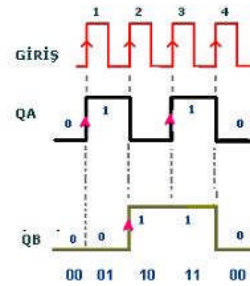
Senkron sayıcılar çalışma hızı açısından asenkron sayıcılara üstünlüğü vardır. Her bir durum için kullanılan sıralı devre elemanının yayılım gecikmesi (propagasyon delay) süresi kadar gecikmesi vardır. Ancak tasarımda kullanılan devre elemanları asenkron sayıcılara göre fazladır.

2.2.1.1. İki Bitlik Senkron Yukarı Sayıcı

Aşağıda iki bitlik senkron sayıcıya ait lojik şemayı ve çıkış zaman diyagramı görülmektedir. Sayıcı devresinin başlangıç anında her iki çıkışının '0' olduğu kabul edilerek devre çalışması açıklanmıştır.



Şekil 2.16: İki bitlik yukarı sayıcı devresi



Şekil 2.17: Zaman diyagramı

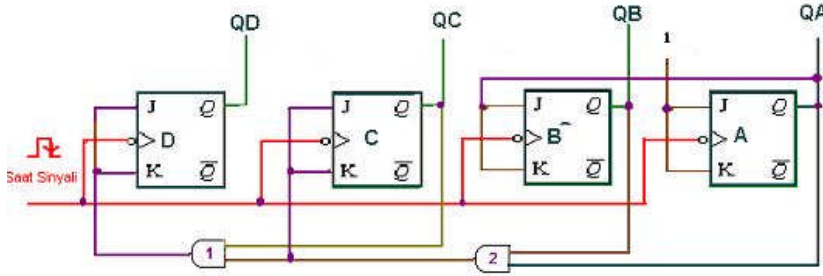
İlk anda A FF JK girişlerinde "1" değeri, B FF girişlerinde QA çıkışı "0" değeri bulunmaktadır. Gelen ilk tetikleme darbesi ile tümleyen (toggle) çalışan A flip-flop'u tetiklenir ve QA çıkışı "1" olur. B flip-flopuna da aynı tetikleme sinyali uygulanacağından ve J-K girişlerine ilk anda QA'nın '0' olması nedeniyle "0" uygulandığından QB çıkışı '0' olur.

İkinci tetikleme sinyalinde B FF'ye de uygulandığından ve B'nin J-K girişlerinde QA nedeniyle "1" olan B flip-flop'u tetiklenir QB çıkışı '1' olur. A flip-flop'unun girişlerinde sürekli "1" ya da "T" olduğundan A flip-flop'u da konum değiştirir. Qa çıkışı "0" olur. Bu tetikleme anında sayıcı çıkışları QA= 0 ve Qb= 1 olur. Üçüncü tetikleme sinyali ile A flip-flop'u girişlerinde '1' olduğundan konum değiştirir. Qa=1 olur. QB ise değişmeyecektir. Bu tetikleme anında sayıcı çıkışları Qa=1 ve Qb=1 olur. Dördüncü tetikleme sinyalinde her iki flip-flop girişlerinde T yani "1" olduğundan her iki flip-flop konum değiştirerek başlangıç değerlerine Qa=0 ve Qb=0' a döner.

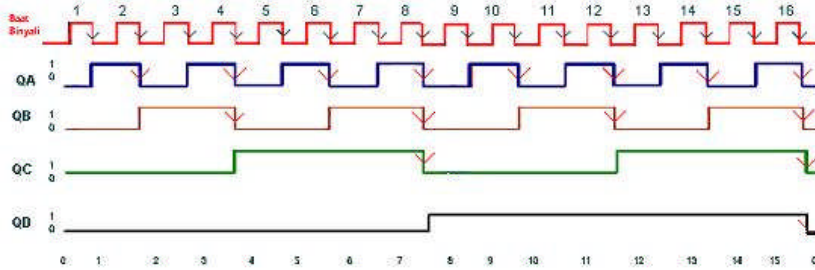
Saat Palsi	Çıkışlar		Oluşan Kodlar	
	Q _B	Q _A	İkili	Onlu
0	0	0	00	0
1	0	1	01	1
2	1	0	10	2
3	1	1	11	3
4	0	0	00	0

Tablo 2.7:İki bitlik sayma işlemi durum tablosu

2.2.1.2. Dört Bitlik Senkron Yukarı Sayıcı



Şekil 2.18: Dört bitlik senkron yukarı sayıcı (J-K tipi F/F kullanılarak) lojik devresi



Şekil 2.19: Aşağıda ise dört bitlik senkron sayıcıya ait çıkış zaman diyagramı

Devrenin çalışmasını incelersek ilk anda tüm FF'lerin Qa çıkışlarının "0" olduğunu varsayalım. İlk saat palsinde D FF'u "T" durumunda olduğundan QA= 1 olacaktır. Ve B FF' unu "T" durumuna getirecektir. İkinci saat palsinde QB= 1 olacak, QA ise "0" değerini alacaktır. Üçüncü saat palsinde QB aynı değerinde kalacak, QA= 1 olacaktır. QB ve QA' nin bağlı olduğu 2 nu.lı VE kapısı aktif hale geçerek C FF' unu "T" haline getirecektir. Dördüncü saat palsinde QA= 0 olacak, buda QB' yi "0" yapacak, QC ise "1" değerini alacaktır. Beşinci

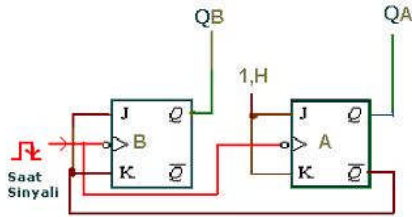
saat palsinde QA=1 olacak, QB=0 konumunu koruyacak, QC = 1 değerini sürdürecektir. Altıncı saat palsinin düşen kenarında QA=0 olacak, QB=1 değerini alacak QC ise 1 değerini koruyacaktır. Yedinci saat palsinin düşen kenarında QA= 1 olacak, QB, QC“1” değerlerini koruyacaktır. Aynı zamanda 1 nu.lı VE kapısının girişleri aktif olacak ve D FF’unu “T” hâle getirecektir. Sekizinci saat palsinde QA= 0 olacak, QB= 0 değerine inecek, QC=0 olacak D FF’u “T” durumunda olduğundan“1” konumunu alacaktır. Tablo 2.8’de ise dört bitlik sayıcının durum tablosu görülmektedir.

ÇIKIŞLAR				
Çık	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

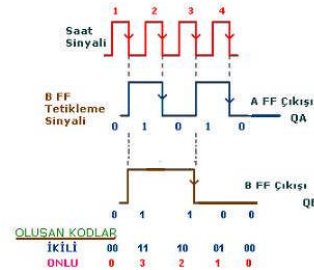
Tablo 2.8: Zaman -durum tablosu

2.2.2. Geri (Aşağı) Senkron Sayıcı

Eğer aşağı sayan sayıcı yapılmak istenirse devredeki ve kapısının giriş uçları flip flop’ların Q uçlarından değilde Q’ uçlarından alınmalıdır. Tablosu ise yukarıdaki tablonun aşağıdan yukarı doğru okunusudur.



Şekil 2.20: İki bitlik aşağı sayıcı devresi



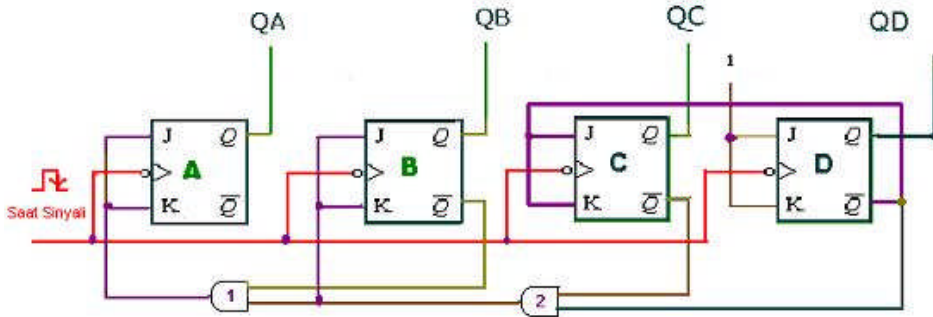
Şekil 2.21: Zaman diyagramı

İlk Çıkışlar	Çıkışlar		Oluşan Kodlar	
	CP	Q _B	Q _A	İKİLİK
0	0	0	00	0
1	1	1	11	3
2	1	0	01	2
3	0	1	10	1
4	0	0	11	0

Tablo 2.9:İki bitlik sayma işlemi durum tablosu

İlk anda çıkışların "0" değerinde olduğunu varsayalım. Bu nedenle QA'= 1 olacak ve B FF'ünü "t" hâle getirecektir. A FF'uda JK uçlarına uygulanan "1" değeri ile "T" hâlde olduğundan ilk saat sinyalinin düşen kısmında QA=1ve QB=1 olur.İkinci saat sinyalinin düşen kısmında QA= 0 olur ve QB=1 değerini korur. Üçüncü saat sinyalinin düşen kısmında ise QA= 1 olur, QA'= 0 olacağından B FF'ünü "T" durumundan çıkarır ve QB= 0 olur. Dördüncü saat sinyalinde ise QA=0, ve QB=0 olur. Ve devre başlangıç aşamasına döner. Devrenin çıkış Zaman Diyagramı görülmektedir. Durum tablosu ise şöyledir.SAAT PALSİ

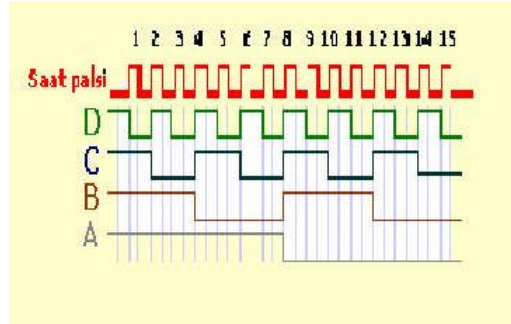
Dört Bitlik Senkron Aşağı Sayıcı Devresi



Şekil 2.22:Dört bitlik senkron aşağı sayıcı devresi

Saat	Çıkışlar				Dec
	A	B	C	D	
0	1	1	1	1	15
1	1	1	1	0	14
2	1	1	0	1	13
3	1	1	0	0	12
4	1	0	1	1	11
5	1	0	1	0	10
6	1	0	0	1	9
7	1	0	0	0	8
8	0	1	1	1	7
9	0	1	1	0	6
10	0	1	0	1	5
11	0	1	0	0	4
12	0	0	1	1	3
13	0	0	1	0	2

Tablo 2.10: Zaman – durum tablosu



Şekil 2.23: Zaman diyagramı

2.2.3. Senkron Sayıcıların Tasarımı

2.2.3.1. Senkron Sayıcıların Karnough Haritası Kullanılarak Tasarlanması

RS, D, JK, T tipi flip floplar kullanılarak istenilen şekilde sayan sayıcı devreleri üretilebilir. Sayıcı devresi tasarımı yapılırken flip flop'un geçiş (uyarım) tablosu ve karnough haritası yönteminden yararlanılır.

Çalışma programı verilen bir senkron sayıcının tasarımında aşağıdaki işlem sıraları izlenmelidir;

Tasarımda kullanılacak flip-flop türü ve adedi belirlenir.

Sayma işlemine ilişkin çalışma tablosu oluşturulur.

Flip-flop geiş (uyarma) tabloları kullanılarak her bir flip-flop iin geişlere ait gerekli giriř deęerleri bulunur.

Her bir flip-flop iin bulunan giriř deęerleri karnough haritalama yntemi ile sadeleřtirilir.

İndirgenmiř eřitliklerden senkron sayıcı devresi izilir.

Not: Senkron sayıcıların tasarımında kullanılan flip-flopların tetikleme tr tasarım iin belirleyici bir zellik deęildir

rnek:Mod-7 senkron sayıcıyı J-K flip-flop kullanarak tasarlayınız.

zm:

Tasarımda kullanılacak flip-flop tr ve adedi belirleyelim. Mod-7 senkron sayıcı sayma iřlemine 0-6 arasındaki sayılar iin gerekleřtirir. Sayma iřlemindeki en byk sayı olan 6 sayısını ka bite ifade ediyorsak o kadar flip-flop kullanmak zorundayız. $(6) = (110)_2$ olduęuna gre tasarımda  tane flip-flop kullanmak zorundayız. İstenilen tr soruda J-K olarak belirlenmiřtir.

Sayma iřlemine iliřkin alıřma tablosunu oluřturalım. alıřma tablosu bize sayıcının mevcut durumunu ve gelen tetikleme sinyali ile gemesi gereken sonraki durumu gstermelidir.

CP	Mevcut Durum			Sonraki Durum					
	A	B	Q	A	B	Q	JA KA	JB KB	Jc KC
0	0	0	0	0	0	1	0 x	0 x	1 x
1	0	0	1	0	1	0	0 x	1 x	x 1
2	0	1	0	0	1	1	0 x	x 0	1 x
3	0	1	1	1	0	0	1 x	x 1	x 1
4	1	0	0	1	0	1	x 0	0 x	1 x
5	1	0	1	1	1	0	x 0	1 x	x 1
6	1	1	0	0	0	0	x 1	x 1	0 x

Tablo 2.11: Sayıcı zaman-durum alıřma tablosu

Her bir flip-flop iin alıřma tablosundan elde edilen geiřler karnough haritasına yerleřtirilir. Ve her bir giriře ait indirgenmiř eřitlik elde edilir.

	B.C	00	01	11	10
A	0	1	x	x	1
1	0	1	x	x	

$J_C = \bar{A} + \bar{B}$

	B.C	00	01	11	10
A	0	x	1	1	x
1	0	x	1	x	x

$K_C = +V_{CC}$

	B.C	00	01	11	10
A	0		1	x	x
1	0		1	x	x

$J_B = C$

	B.C	00	01	11	10
A	0	x	x	1	
1	0	x	x	x	1

$K_B = A + C$

	B.C	00	01	11	10
A	0			1	
1	0	x	x	x	x

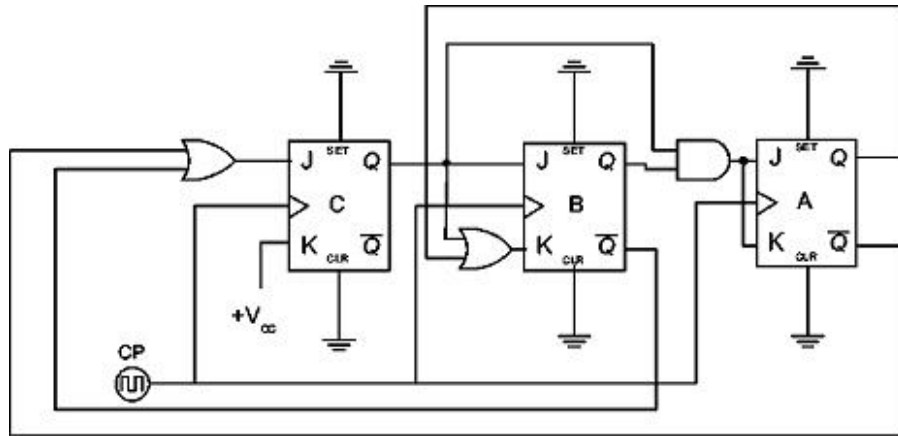
$J_A = B.C$

	B.C	00	01	11	10
A	0	x	x	x	x
1	0			x	1

$K_A = B.C$

Şekil 2.24: Karno haritası ile sadeleştirmeler

V. Senkron sayıcının çizimi ile devre tasarımı tamamlanır.



Şekil 2.2.5: MOD-7 senkron J-K tipi flip flop devresi

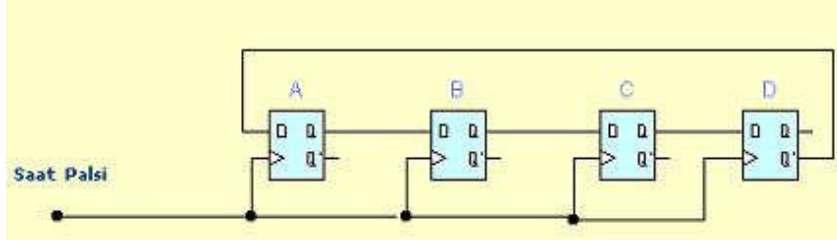
2.3. Ring Sayıcılar

Ring sayıcılar en sondaki flip-flop çıkışının en baştaki flip-flopun girişine bağlanarak oluşturulur. Devreye tetikleme pulsi uygulandığında saat bilgisi diğer flip-flopa aktarılır. Herhangi bir anda flip-flop'ların sadece bir tanesinin çıkışı aktif durumdadır. Bilgi kaydırıcı

(shift register)'ın en soldaki FF'unun en baştaki FF'a bağlanmış hâli olarak da düşünülebilir. Bu sayıcılar kod sırasının simetrik olmasının istenmediği uygulama devrelerinde kullanılır.

2.3.1. Standart Ring Sayıcı (Kalıcı Halka Sayıcı)

Flip-flop çıkışlarındaki bilgilerin sola veya sağa doğru kayması ile simetrik bir kod üreten sayıcı tipidir. Şekil 2.26'da dört adet D FF'la oluşturulmuş bir standart ring sayıcı görülmektedir.

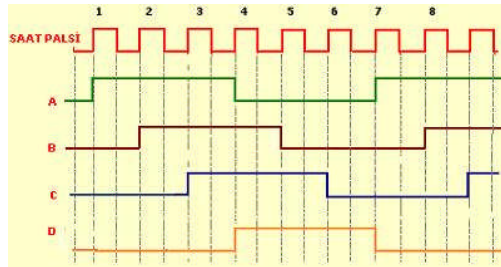


Şekil 2.26: Standart ring sayıcı devresi

Başlangıçta FF'lerin Q çıkışlarının 0 dolayısıyla Q' çıkışları 1'dir. D FF'nin değillenmiş çıkışı Q'D A FF'nin D girişine bağlı olduğundan ilk saat sinyalinde $Q_A = 1$ olur. İkinci saat sinyalinde Q'D hala 1 olduğundan $Q_A = 1$ olarak kalır. B FF D girişine Q_A yani 1 bilgisi geldiğinden $Q_B = 1$ olur. Bu durumla ilgili Tablo 2.12 ve grafik Şekil 2.27'de aşağıdaki şekilde yer almaktadır.

SP	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	1
3	0	1	1	1
4	1	1	1	1
5	1	1	1	0
6	1	1	0	0
7	1	0	0	0
8	0	0	0	0

Tablo 2.12: Zaman – durum tablosu

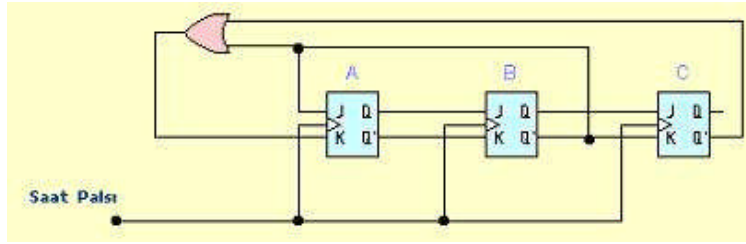


Şekil 2.27: Zaman diyagramı

Üçüncü saat palsinde $Q_A, Q_B, Q_C = 1$ ve $Q_D = 0$ olur. 4. saat palsinde tüm Q çıkışları 1'dir. 5. saat palsinde ise $Q_D' = 0$ olduğundan $Q_A = 0$ olur. 6. saat palsinde Q_C ve Q_D çıkışları 1'dir. 7. saat palsinde ise sadece Q_{D1} olur. 8. saat palsinde ise Tüm çıkışlar sıfırdır.

2.3.2. Yürüyen Ring Sayıcı (Kayıcı Ring Sayıcı)

Her saat palsinde birinci FF'den itibaren sonuncu FF'ye kadar yalnızca bir FF'nin çıkışını bir yapan ve döngüye giren sayıcılardır. Bu işlem sağa ve sola doğru gerçekleştirilir.

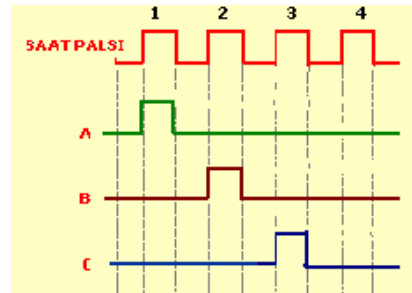


Şekil 2.28: Yürüyen ring sayıcı devresi

Şekil 2.28'de üç adet JK FF kullanılarak düzenlenen üç bitlik yürüyen ring sayıcı görülmektedir. Başlangıçta A,B,C FF'lerinin çıkışlarının 0 olduğunu varsayalım. İlk saat palsinde A ff'un J-K girişleri 1 olduğundan bilgi B FF'ye aktarılacaktır. Bu durum aşağıda yer alan tabloda ve zaman diyagramında görülmektedir. İkinci saat palsinde 1 değeri B FF'den C FF'ye geçecektir. Üçüncü saat palsinde C FF'nin Q çıkışı 1 olacaktır.

Saat Palsi	A	B	C
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1

Tablo 2.13: Zaman – durum tablosu



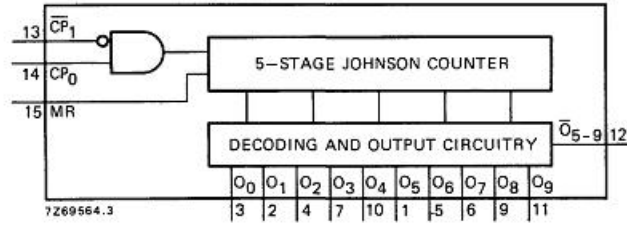
Şekil 2.29: Zaman diyagramı

2.4. Entegre Devre Sayıcılar

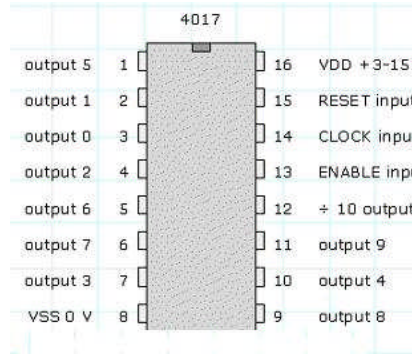
Entegre kılıfları içerisinde yerleştirilmiş, çeşitli türde hazırlanmış sayıcı devrelerine “entegre devre sayıcılar” denilebilir.

2.4.1. Onlu (Desimal) Sayıcı

Bildiğimiz gibi günlük hayatta kullandığımız sayı sistemi desimal sayı sistemi olarak anılmaktadır. Desimal sayıcıları, bize, bu sayı sisteminde yer alan sayıları sayan sayıcılar olarak tanımlayabiliriz. Onlu desimal sayıcıda 0,1,2,3,4,5,6,7,8,9 sırasıyla sayıp 0'a dönen sayıcılara denebilir. Bu sayıcıları çeşitli sayıcı türlerine ekleme yaparak ya da BCD sayıcılardan dönüştürerek elde edebiliriz. Bu sayıcı devresine örnek olarak çeşitli uygulamalarda çokça kullanılan 4017 entegresini inceleyeceğiz. Entegrenin blok diyagramı ise Şekil 2.30'da görülmektedir. Entegre içinde yer alan bölümler johnson sayıcı, kod çözücü ve çıkış devresi olarak adlandırılabilir.

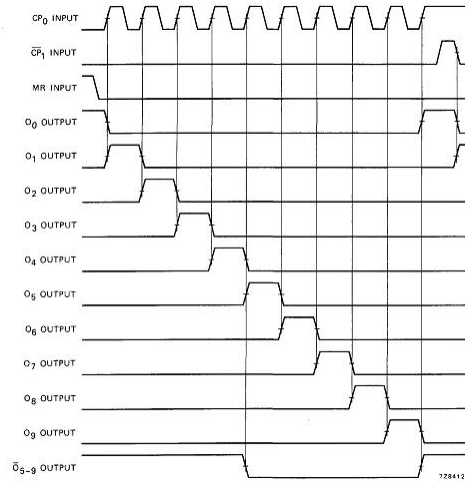


Şekil 2.30: 4017 blok diyagramı



Şekil 2.31: 4017 ayak bağlantıları

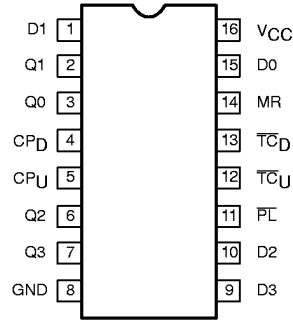
Şekil 2.31'de ise entegrenin ayak bağlantıları görülmektedir. Besleme girişleri 8 ve 16 uçlardadır. 1-7. uçlar 9-11. uçlar çıkış uçlarıdır. Saat pulsü entegrenin 14 numaralı ayağından uygulanır. Entegrenin çalışabilmesi için RESET input ve ENABLE input girişleri “0” olmalıdır. 12. uç +10 olarak işaretlenmiştir. Bu uçla entegrenin yanına başka entegreler bağlanarak sayma alanı genişletilebilir Aşağıda yer alan şekilde 4017 sayıcısının zaman diyagramı görülmektedir.



Şekil 2.32: 4017 sayıcısının zaman diyagramı

2.4.2. Programlanabilen Sayıcı

İstenilen sayıdan başlayarak ileri ya da geri sayma işlemi yapabilen sayıcılardır. 74190, 74191, 74192, 74193 entegreleri bu sayıcılara örnek verilebiliriz. Aşağıda bir entegrenin ayak bağlantıları ve fonksiyonları görülmektedir.



Şekil 2.33:Entegre bacak bağlantıları

FUNCTION TABLE

INPUTS								OUTPUTS					OPERATING MODE	
MR	PL	CP _y	CP _D	DO	D1	D2	D3	Q0	Q1	Q2	TC _y	TC _D		
H	X	X	L	X	X	X	X	L	L	L	L	H	L	Reset (clear)
H	X	X	H	X	X	X	X	L	L	L	L	H	H	
L	L	X	L	L	L	L	L	L	L	L	L	H	L	Parallel load
L	L	X	H	L	L	L	L	L	L	L	L	H	H	
L	L	L	X	H	H	H	H	H	H	H	H	L	H	
L	L	H	X	H	H	H	H	H	H	H	H	H	H	
L	H	T	H	X	X	X	X	Count up				H ¹	H	Count up
L	H	H	T	X	X	X	X	Count down				H	H ²	Count down

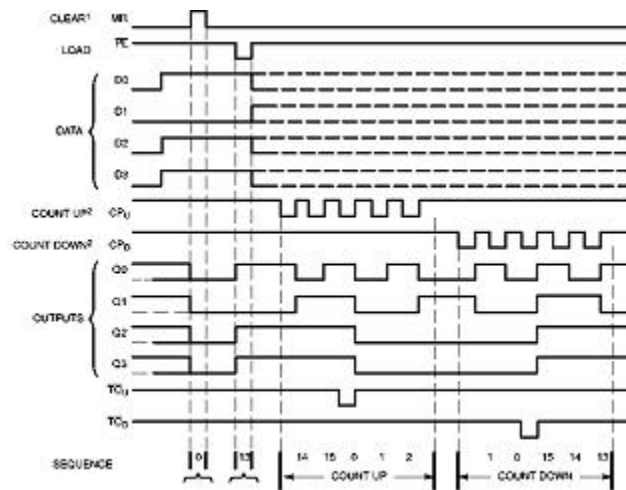
Tablo 2.14: 7419X serisi entegre fonksiyon tabloları

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

PINS	DESCRIPTION	74F(U.L.) HIGH/LOW	LOAD VALUE HIGH/LOW
D0 - D3	Data inputs	1.0/1.0	20µA/0.6mA
CP _U	Count up clock input (active rising edge)	1.0/3.0	20µA/1.8mA
CP _D	Count down clock input (active rising edge)	1.0/3.0	20µA/1.8mA
PL	Asynchronous parallel load control input (active Low)	1.0/1.0	20µA/0.6mA
MR	Asynchronous master reset input	1.0/1.0	20µA/0.6mA
Q0 - Q3	Flip-flop outputs	50/33	1.0mA/20mA
TC _U	Terminal count up (carry) output (active Low)	50/33	1.0mA/20mA
TC _D	Terminal count down (borrow) output (active Low)	50/33	1.0mA/20mA

NOTE: One (1.0) FAST Unit Load (U.L.) is defined as: 20µA in the High state and 0.6mA in the Low state.

Tablo 2.15: 74Fxx serisi entegre giriş çıkış uçları ve fan out (çıkış kapasitesi)'ları



Şekil 2.34: 7419x entegreleri zaman diyagramı

UYGULAMA FAALİYETİ

Asenkron Yukarı Sayıcı Devresi

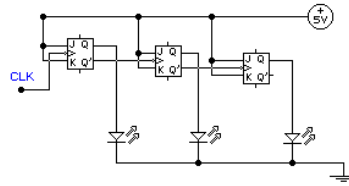
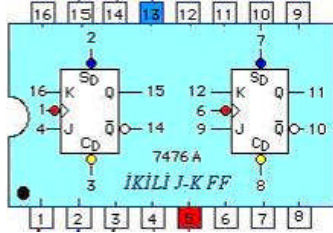
Aşağıda verilen devreyi işlem basamaklarına uygun olarak gerçekleştiriniz.

Deneyde Kullanılacak Malzemeler

Eleman	Değeri	Sayısı
Entegre	7476 entegresi	2
Direnç	330 Ω .	4
Led diyot	Değişik renklerde	4
Ölçü aleti	AVO metre	2
Kare dalga osilatör	555'li	1
Güç kaynağı	DC 5 V.	1

Deney Şeması

Bilgi: Asenkron sayıcılar pals sayıcı olarak isimlendirilir. Bu sayıcıların girişteki flip-flopuna pals girişi yapılır. Çıkışı da onu takip eden flip-flop'un girişini sürmek için kullanılmaktadır. Her kattaki flip-floplar bir önceki flip-flop'un 1'den 0'a veya 0'dan 1'e geçmesi ile durum değiştirir. Bu sayıcıların olumsuz yanı yavaş çalışmalarıdır. Bir flip-flopun girişi ile çıkışı arasındaki zaman farkı yaklaşık 20 ns'dir. Ne kadar çok flip-flop ard arda bağlanırsa sayıcının hızı o oranda düşer. Deneyde 7476 entegresini kullanarak asenkron yukarı sayıcı devresini kurulacak ve çalışması incelenecektir.



Devrenin sağlıklı çalışabilmesi için başlangıçta flip-flop çıkışlarının sıfırlanması gerekir. Bunun için silme ucu 0 yapılarak sayıcı sıfırlanır. Birinci flip-flop'un girişine kare dalga osilatörden elde edilen sinyal uygulanır. Her pals geldiğinde flip-flop'lar sıra ile belirli bir zaman gecikmesi ile konum değiştirerek sayma işlemini gerçekleştirir.

İşlem Basamakları	Öneriler
➤ Elemanları sağlayıp sağlamlık kontrollerini yapınız.	➤ Deneysel öncesi yazılı ve görsel dokümanlardan bilgisayar ve internet ortamından yararlanarak kullanacağınız elemanların özelliklerini gözden geçirerek hazırlık yapınız. ➤ Devrenizin nasıl çalışacağı konusunda şekil üzerinde devre takibini gerçekleştirip hazırlık yapınız. ➤ Uygulamada kullanacağınız elemanların nasıl çalıştığı konularında tereddütte olduğunuz konularda çeşitli kanallardan bilgilerinizi gözden geçiriniz. ➤ Bread-board ve deney seti uygulamalarında elektronik devre elemanlarının özellikle ayaklarının hassas ve kırılabilir yapıda olduğunu akıldan çıkarmadan çalışınız. ➤ Devreye enerji uygulamadan önce özellikle kısa devre kontrolünü ilgili ölçü aletleri ile gerçekleştiriniz. ➤ Devreye enerji uyguladığınızda enerji altında çalışırken kendiniz ve devre elemanlarının sağlığı açısından olabildiğince dikkatli olunuz.
➤ Elemanlarınız sağlamsa yukarıdaki devreyi proje bordu üzerine kurunuz.	
➤ Devre bağlantılarını gözden geçiriniz.	
➤ Devreye enerji uygulayınız. Silme ucunu aktif yaparak "0" uygulayınız.	
➤ Daha sonra silme ucunu tekrar 1'e alarak devreyi tekrar çalışmaya hazır hale getiriniz.	
➤ Manuel clock ile belirtilen sayıda tetikleme yaparak çıkış ledlerinin yanıp yanmadığını gözleyiniz.	
➤ Çıkış ledleri Qc, Qb, Qa yanma sırasına göre alacağı sayısal değerler 2 ² , 2, 2 ⁰ 'dir. Sistem 0'dan 7'ye kadar sayacaktır.	
➤ Çıkış ledlerinin aldığı değerleri hazırladığınız doğruluk tablosuna kaydediniz.	

DOĞRULUK TABLOSU : Aşağıdaki tabloyu devreyi gözlemleyerek doldurunuz.

Ön ayar	Silme	Clk	Q1	Q2	Q3
0	0	0			
1	1	1			
1	1	0			
1	1	1			
1	1	0			
1	1	1			
1	1	0			
1	1	1			

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadıklarınız için **Hayır** kutucuklarına (X) işareti koyarak öğrendiklerinizi kontrol ediniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Uygulama öncesi hazırlıkları yaptınız mı?		
2. Uygulama sırasında önerilen işlem basamaklarına uydunuz mu?		
3. Uygulama devresi yerleşimi düzenli mi?		
4. Uygulama devresi kurulumu sırasında ölçü aleti kullanımına özen gösterdiniz mi?		
5. Devreyi enerjilendirmeden gerekli güvenlik önlemlerini aldınız mı?		
6. Devreyi doğru kurdunuz mu ?		
7. Devreniz hatasız çalışıyor mu?		
8. Devre ile ilgili sorulara verilen yanıtlarınız doğru mu?		
9. Devrenin çalışma prensibini biliyor musunuz?		
10.Uygulamayı istenilen sürede tamamladınız mı?		
11.Elde edilen sonuçlar yanıt anahtarına uygun mu?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınızı “Evet” ise sonraki “Uygulama Faaliyeti”ne geçiniz.

UYGULAMA FAALİYETİ

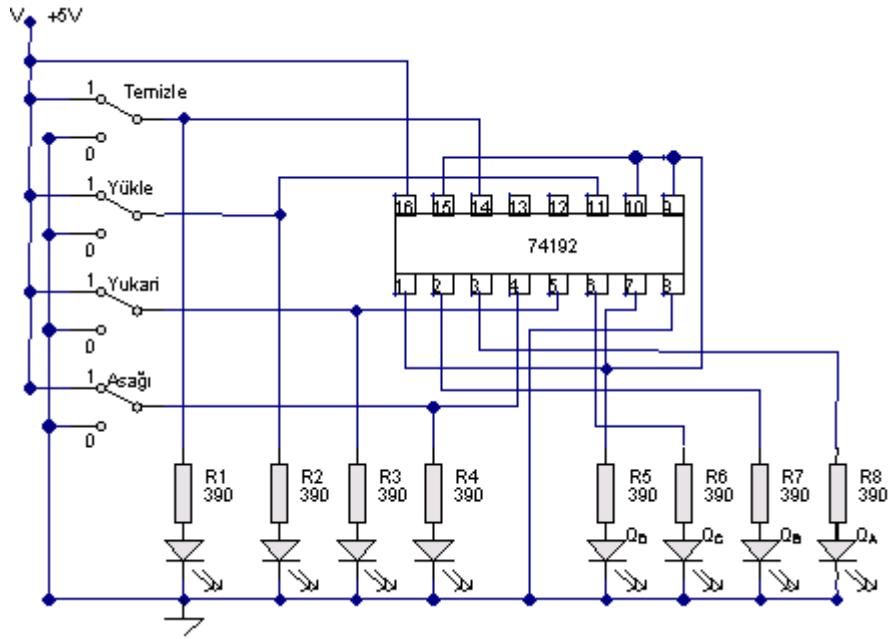
Yukarı Aşağı Sayıcı Uygulaması

Aşağıda verilen devreyi işlem basamaklarına uygun olarak gerçekleştiriniz.

Deneyde Kullanılacak Malzemeler

Eleman	Değeri	Sayısı
Entegre	74192	1
Direnç	390 Ω	8
LED		8

Deneyin Bağlantı Şeması



İşlem Basamakları	Öneriler
<ul style="list-style-type: none"> ➤ Elemanları sağlayıp sağlamlık kontrollerini yapınız. 	<ul style="list-style-type: none"> ➤ Deneş öncesi yazılı ve görsel dokümanlardan bilgisayar ve internet ortamından yararlanarak kullanacağınız elemanların özelliklerini gözden geçirerek hazırlık yapınız. ➤ Devrenizin nasıl çalışacağı konusunda şekil üzerinde devre takibini gerçekleştirip hazırlık yapınız. ➤ Uygulamada kullanacağınız elemanların nasıl çalıştığı konularında tereddütte olduğunuz konularda çeşitli kanallardan bilgilerinizi gözden geçiriniz. ➤ Bread-board ve deney seti uygulamalarında elektronik devre elemanlarının özellikle ayaklarının hassas ve kırılğan yapıda olduğunu akıldan çıkarmadan çalışınız. ➤ Devreye enerji uygulamadan önce özellikle kısa devre kontrolünü ilgili ölçü aletleri ile gerçekleştiriniz.
<ul style="list-style-type: none"> ➤ Elemanlarınız sağlamsa yukarıdaki devreyi proje bordu üzerine kurunuz. 	
<ul style="list-style-type: none"> ➤ Devre bağlantılarını gözden geçiriniz. 	
<ul style="list-style-type: none"> ➤ Devreye enerji uygulayınız. Silme ucunu aktif yaparak "0" uygulayınız. 	
<ul style="list-style-type: none"> ➤ Daha sonra silme ucunu tekrar 1'e alarak devreyi tekrar çalışmaya hazır hâle getiriniz. 	
<ul style="list-style-type: none"> ➤ Manuel clock ile belirtilen sayıda tetikleme yaparak çıkış ledlerinin yanıp yanmadığını gözleyiniz. ➤ Yön anahtarından gerekli değışikliğı yaparak diğere yöndeki gözlemlerinizi yazınız. 	<ul style="list-style-type: none"> ➤ Devreye enerji uyguladığınızda enerji altında çalışırken kendiniz ve devre elemanlarının sağlığı açısından olabildiğince dikkatli olunuz.
<ul style="list-style-type: none"> ➤ Çıkış ledlerinin aldığı değerleri hazırladığınız doğruluk tablosuna kaydediniz. 	

Doğruluk Tablosu

Aşağıdaki tabloyu devreyi gözlemleyerek tabloyu doldurunuz.

Ön ayar	Silme	Clk	Yön	Q_D	Q_C	Q_B	Q_A
0	0	0					
1	1	1					
1	1	0					
1	1	1					
1	1	0					
1	1	1					
1	1	0					
1	1	1					

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadıklarınız için **Hayır** kutucuklarına (X) işareti koyarak öğrendiklerinizi kontrol ediniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Uygulama öncesi hazırlıkları yaptınız mı?		
2. Uygulama sırasında önerilen işlem basamaklarına uydunuz mu?		
3. Uygulama devresi yerleşimi düzenli mi?		
4. Uygulama devresi kurulumu sırasında ölçü aleti kullanımına özen gösterdiniz mi?		
5. Devreyi enerjilendirmeden gerekli güvenlik önlemlerini aldınız mı?		
6. Devreyi doğru kurdunuz mu ?		
7. Devreniz hatasız çalışıyor mu?		
8. Devre ile ilgili sorulara verilen yanıtlarınız doğru mu?		
9. Devrenin çalışma prensibini biliyor musunuz?		
10. Uygulamayı istenilen sürede tamamladınız mı?		
11. Elde edilen sonuçlar yanıt anahtarına uygun mu?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise sonraki “Uygulama Faaliyeti”ne geçiniz.

UYGULAMA FAALİYETİ

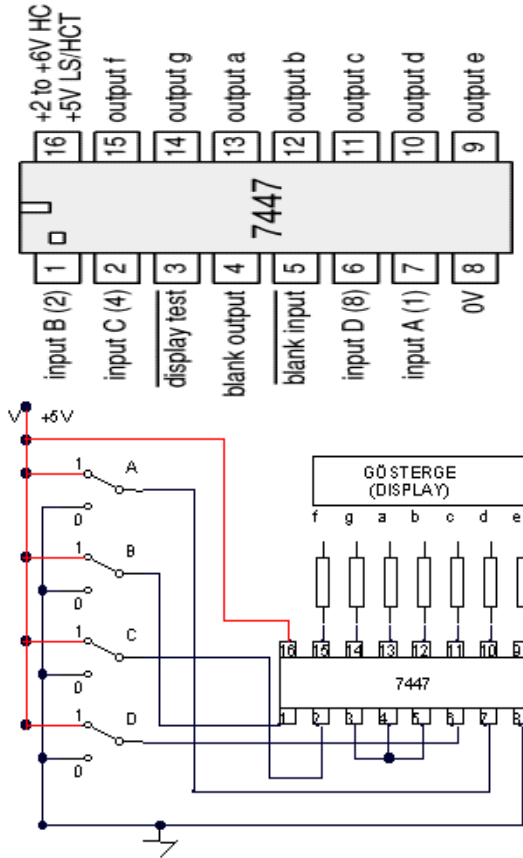
Gösterge (Display) Devresi

Aşağıda verilen devreyi işlem basamaklarına uygun olarak gerçekleştiriniz.

Deneyde Kullanılacak Malzemeler

Eleman	Değeri	Sayısı
Entegre	7447	1
Display	Ortak anotlu	1
Direnç	390 Ω	7
Avometre	AVO	1
Güç kaynağı	5 V.	1
Proje bord		

Deneyin Bağlantı Şeması



DURUM	GİRİŞLER				GÖSTERGE RAKAMI
	A	B	C	D	
0	0	0	0	0	
1	0	0	0	1	
2	0	0	0	0	
3	0	0	1	1	
4	0	0	1	0	
5	0	1	0	1	
6	0	1	0	0	
7	0	1	1	1	
8	0	1	1	0	
9	1	0	0	1	
10	1	0	0	0	
11	1	0	1	1	
12	1	0	1	0	
13	1	1	0	1	
14	1	1	0	0	
15	1	1	1	1	
16	1	1	1	0	

7447 Ayak bağlantıları

İşlem Basamakları	Öneriler
➤ Yukarıdaki devreyi proje bordu üzerine kurunuz.	➤ Deney öncesi yazılı ve görsel dokümanlardan bilgisayar ve internet ortamından yararlanarak kullanacağınız elemanların özelliklerini gözden geçirerek hazırlık yapınız.
➤ Devre bağlantılarını gözden geçiriniz.	➤ Devrenizin nasıl çalışacağı konusunda şekil üzerinde devre takibini gerçekleştirip hazırlık yapınız.
➤ Devreye enerji uygulayınız.	➤ Uygulamada kullanacağınız elemanların nasıl çalıştığı konularında tereddütte olduğunuz konularda çeşitli kanallardan bilgilerinizi gözden geçiriniz.
➤ 4 bitlik giriş değerlerini değiştirerek displaydeki çıkışlarını gözleyiniz.	➤ Bread-board ve deney seti uygulamalarında elektronik devre elemanlarının özellikle ayaklarının hassas ve kırılgen yapıda olduğunu akıldan çıkarmadan çalışınız.
➤ Gözlemlerinize göre doğruluk tablosunu oluşturunuz.	➤ Devreye enerji uygulamadan önce özellikle kısa devre kontrolünü ilgili ölçü aletleri ile gerçekleştiriniz.
➤ Doğruluk tablosunda oluşan kodların onlu sistemdeki karşılıklarını yazınız.	➤ Devreye enerji uyguladığınızda enerji altında çalışırken kendiniz ve devre elemanlarının sağlığı açısından olabildiğince dikkatli olunuz.

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadıklarınız için **Hayır** kutucuklarına (X) işareti koyarak öğrendiklerinizi kontrol ediniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Uygulama öncesi hazırlıkları yaptınız mı?		
2. Uygulama sırasında önerilen işlem basamaklarına uydunuz mu?		
3. Uygulama devresi yerleşimi düzenli mi?		
4. Uygulama devresi kurulumu sırasında ölçü aleti kullanımına özen gösterdiniz mi?		
5. Devreyi enerjilendirmeden gerekli güvenlik önlemlerini aldınız mı?		
6. Devreyi doğru kurdunuz mu ?		
7. Devreniz hatasız çalışıyor mu?		
8. Devre ile ilgili sorulara verilen yanıtlarınız doğru mu?		
9. Devrenin çalışma prensibini biliyor musunuz?		
10. Uygulamayı istenilen sürede tamamladınız mı?		
11. Elde edilen sonuçlar yanıt anahtarına uygun mu?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise sonraki “Uygulama Faaliyeti”ne geçiniz.

UYGULAMA FAALİYETİ

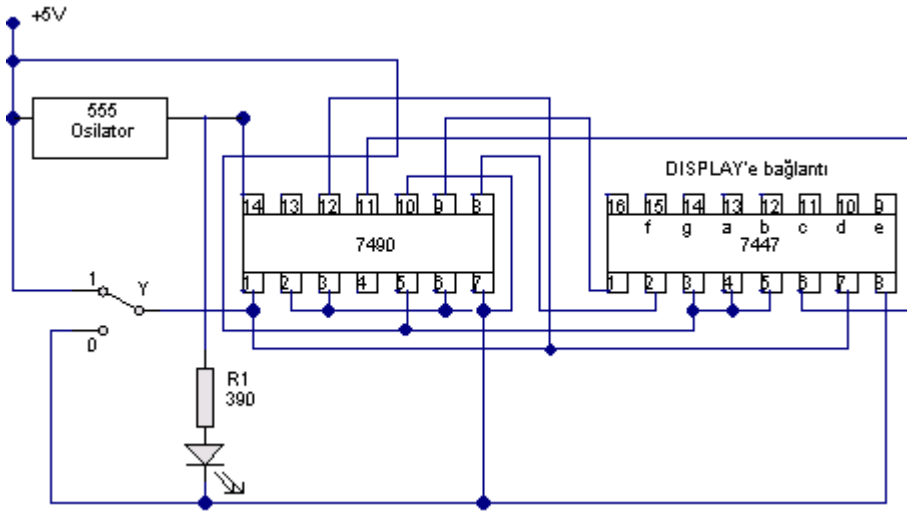
Entegrelerle Onlu Sayıcı Uygulaması

Aşağıda verilen devreyi işlem basamaklarına uygun olarak gerçekleştiriniz.

Deneyde Kullanılacak Malzemeler

Eleman	Değeri	Sayısı
Entegre	7447	1
Entegre	7490	1
Display	Ortak anotlu	1
Direnç	390 Ω	8
Led		
Ölçü aleti	Avometre	
Güç kaynağı		
Proje bord		

Deneyin Bağlantı Şeması



İşlem Basamakları	Öneriler
<ul style="list-style-type: none"> ➤ Elemanları sağlayıp sağlamlık kontrollerini yapınız. 	<ul style="list-style-type: none"> ➤ Deneş öncesi yazılı ve görsel dokümanlardan bilgisayar ve internet ortamından yararlanarak kullanacağınız elemanların özelliklerini gözden geçirerek hazırlık yapınız. ➤ Devrenizin nasıl çalışacağı konusunda şekil üzerinde devre takibini gerçekleştirip hazırlık yapınız. ➤ Uygulamada kullanacağınız elemanların nasıl çalıştığı konularında tereddütte olduğunuz konularda çeşitli kanallardan bilgilerinizi gözden geçiriniz. ➤ Bread-board ve deney seti uygulamalarında elektronik devre elemanlarının özellikle ayaklarının hassas ve kırılğan yapıda olduğunu akıldan çıkarmadan çalışınız. ➤ Devreye enerji uygulamadan önce özellikle kısa devre kontrolünü ilgili ölçü aletleri ile gerçekleştiriniz. ➤ Devreye enerji uyguladığınızda enerji altında çalışırken kendiniz ve devre elemanlarının sağlığı açısından olabildiğince dikkatli olunuz.
<ul style="list-style-type: none"> ➤ Elemanlarınız sağlamsa yukarıdaki devreyi proje bordu üzerine kurunuz. 	
<ul style="list-style-type: none"> ➤ Devre bağlantılarını gözden geçiriniz. 	
<ul style="list-style-type: none"> ➤ Devreye enerji uygulayınız. 	
<ul style="list-style-type: none"> ➤ Manuel clock ile belirtilen sayıda tetikleme yaparak çıkış ledlerinin yanıp yanmadığını gözleyiniz. 	
<ul style="list-style-type: none"> ➤ Giriş ve çıkış ledlerinin bir dakika içerisinde aldığı değerleri hazırladığımız doğruluk tablosuna kaydediniz. 	

Doğruluk Tablosu

Aşağıdaki tabloyu devreyi gözlemleyerek doldurunuz.

Saat palsi	Giriş	Çıkış
0		
1		
0		
1		
0		
1		
0		
1		

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadıklarınız için **Hayır** kutucuklarına (X) işareti koyarak öğrendiklerinizi kontrol ediniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Uygulama öncesi hazırlıkları yaptınız mı?		
2. Uygulama sırasında önerilen işlem basamaklarına uydunuz mu?		
3. Uygulama devresi yerleşimi düzenli mi?		
4. Uygulama devresi kurulumu sırasında ölçü aleti kullanımına özen gösterdiniz mi?		
5. Devreyi enerjilendirmeden gerekli güvenlik önlemlerini aldınız mı?		
6. Devreyi doğru kurdunuz mu ?		
7. Devreniz hatasız çalışıyor mu?		
8. Devre ile ilgili sorulara verilen yanıtlarınız doğru mu?		
9. Devrenin çalışma prensibini biliyor musunuz?		
10. Uygulamayı istenilen sürede tamamladınız mı?		
11. Elde edilen sonuçlar yanıt anahtarına uygun mu?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise sonraki “Uygulama Faaliyeti”ne geçiniz.

UYGULAMA FAALİYETİ

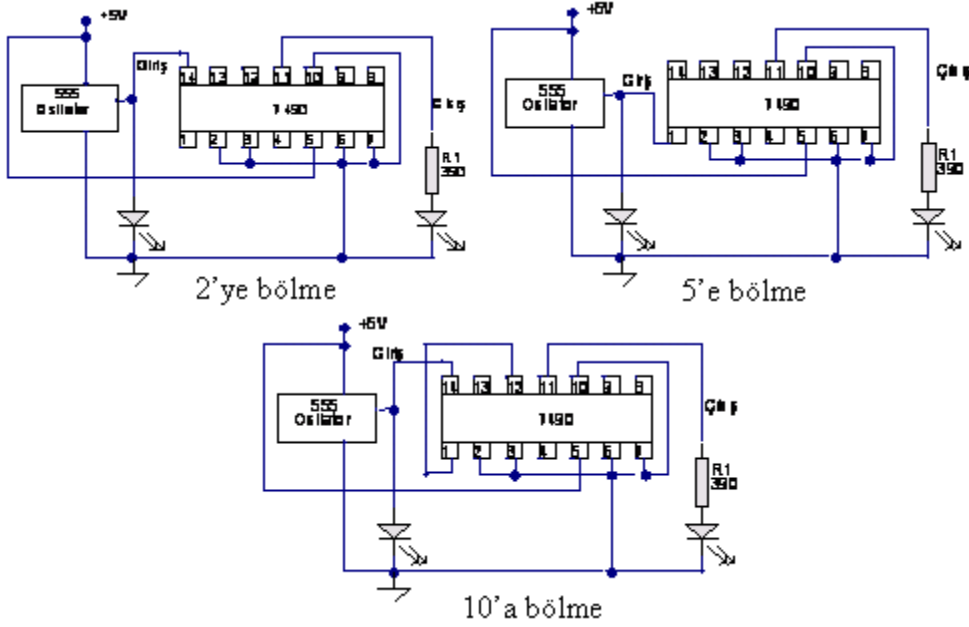
Yukarı Aşağı Sayıcı Uygulaması

Aşağıda verilen devreyi işlem basamaklarına uygun olarak gerçekleştiriniz.

Deneyde Kullanılacak Malzemeler

Eleman	Değeri	Sayısı
Entegre	7490	1
Direnç	390 Ω	1
LED		2

Deneyin Bağlantı Şeması



KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadıklarınız için **Hayır** kutucuklarına (X) işareti koyarak öğrendiklerinizi kontrol ediniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Uygulama öncesi hazırlıkları yaptınız mı?		
2. Uygulama sırasında önerilen işlem basamaklarına uydunuz mu?		
3. Uygulama devresi yerleşimi düzenli mi?		
4. Uygulama devresi kurulumu sırasında ölçü aleti kullanımına özen gösterdiniz mi?		
5. Devreyi enerjilendirmeden gerekli güvenlik önlemlerini aldınız mı?		
6. Devreyi doğru kurdunuz mu?		
7. Devreniz hatasız çalışıyor mu?		
8. Devre ile ilgili sorulara verilen yanıtlarınız doğru mu?		
9. Devrenin çalışma prensibini biliyor musunuz?		
10. Uygulamayı istenilen sürede tamamladınız mı?		
11. Elde edilen sonuçlar yanıt anahtarına uygun mu?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise sonraki “Uygulama Faaliyeti”ne geçiniz.

UYGULAMA FAALİYETİ

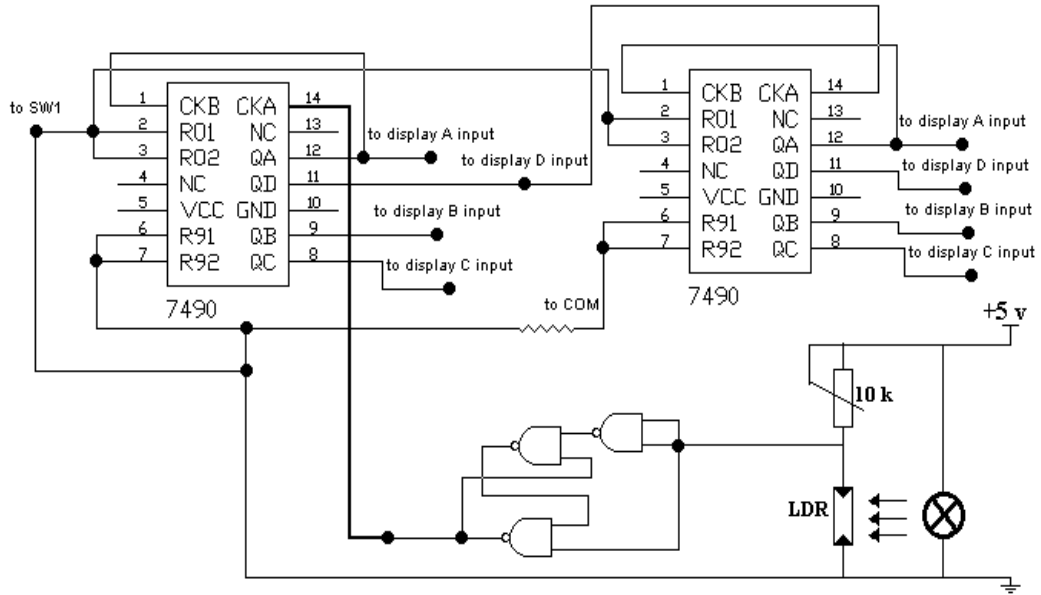
Foto direnç Kontrollü Sayıcı Uygulaması

Aşağıda verilen devreyi işlem basamaklarına uygun olarak gerçekleştiriniz.

Deneyde Kullanılacak Malzemeler

Eleman	Değeri	Sayısı
Entegre	7490	1
Direnç	390 Ω	8
LED		8

Deneyin Bağlantı Şeması



KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadıklarınız için **Hayır** kutucuklarına (X) işareti koyarak öğrendiklerinizi kontrol ediniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Uygulama öncesi hazırlıkları yaptınız mı?		
2. Uygulama sırasında önerilen işlem basamaklarına uydunuz mu?		
3. Uygulama devresi yerleşimi düzenli mi?		
4. Uygulama devresi kurulumu sırasında ölçü aleti kullanımına özen gösterdiniz mi?		
5. Devreyi enerjilendirmeden gerekli güvenlik önlemlerini aldınız mı?		
6. Devreyi doğru kurdunuz mu ?		
7. Devreniz hatasız çalışıyor mu?		
8. Devre ile ilgili sorulara verilen yanıtlarınız doğru mu?		
9. Devrenin çalışma prensibini biliyor musunuz?		
10.Uygulamayı istenilen sürede tamamladınız mı?		
11.Elde edilen sonuçlar yanıt anahtarına uygun mu?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise “Ölçme ve Değerlendirme”ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

Aşağıdaki cümlelerin başında boş bırakılan parantezlere, cümlelerde verilen bilgiler doğru ise D, yanlış ise Y yazınız.

1. () Asenkron sayıcılar pals sayıcı olarak isimlendirilir.
2. () Asenkron sayıcılar hızlı çalışır.
3. () Bir flip-flopun girişi ile çıkışı arasındaki zaman farkı yaklaşık 20 ns'dir.
4. () Devrenin sağlıklı çalışabilmesi için başlangıçta flip-flop girişlerinin sıfırlanması gerekir.

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki öğrenme faaliyetine geçiniz.

ÖĞRENME FAALİYETİ-3

AMAÇ

Bilgi depolama ve transfer işlemlerinde kullanılan devrelerin ve elemanların yapılarını ve çeşitlerini öğrenerek tekniğine uygun olarak kullanabileceksiniz.

ARAŞTIRMA

- Basılı ve görsel kaynakları, bilgisayar ortamını, interneti kullanarak bilgi depolama ve transfer konusunda ön araştırma yapınız.
- Bu kavramlara örnekler bulmak için tartışınız.
- Bilgi depolama ve transfer işlemlerinin günlük yaşantımızda ve meslek alanımızda hangi alanlarda kullanıldığını ya da kullanılabileceğini tartışınız.
- Bulduğunuz verileri rapor haline getirerek sınıfta arkadaşlarınız ve öğretmenlerinize sununuz.

3. BİLGİNİN DEPOLANMASI VE TRANSFER YÖNTEMLERİ

Bilgiyi geçici olarak depolayabilen sağa veya sola kaydırabilen flip-flop'lardan oluşmuş devreler kaydediciler (registers) olarak adlandırılır.

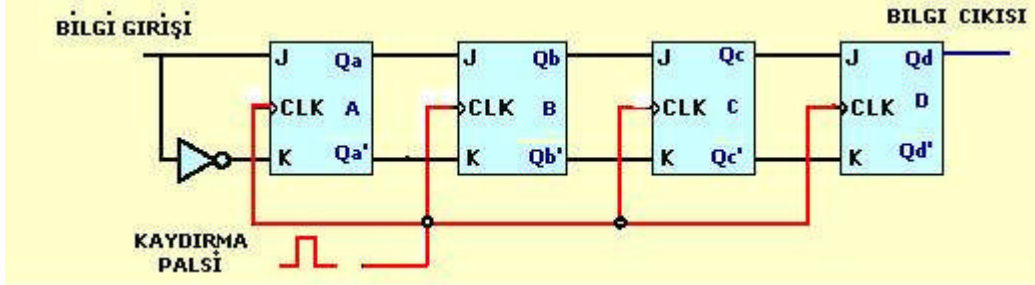
Kaydediciler dijital devrelerde sık olarak kullanılmaktadır. Bu yüzden dijital elektronikte önemli bir yer tutar. Kaydediciler binary (1 ve 0) bilgileri saklamaya yarar. Kaydedicilerde her bir bitlik bilgi için bir adet flip-flop kullanılmaktadır. Her bir flip-flop 1 veya 0 bilgisini tutar. Fakat bu kaydediciler geçici olarak bilgi tutar. Yani besleme olduğu sürece bilgiyi tutar, besleme kesildiğinde ise bilgiyi kaybeder. Kaydediciler iki gruba ayrılır bunlar, seri ve paralel kayıt yapan kaydedicilerdir. Girişlerinde olduğu gibi çıkışlarında da iki gruba ayrılır. Bunlara göre Seri Giriş - Seri Çıkış, Seri Giriş - Paralel Çıkış, Paralel Giriş - Paralel Çıkış ve son olarak da Paralel Giriş - Seri Çıkış olmak üzere toplam 4 gruba ayrılır. Bu kaydediciler kaydetme işlemini kaydırmalı olarak yaptıkları için bunlara Kaydırmalı Kaydediciler de denmektedir. Şimdi de kaydedicilerin çeşitlerini inceleyelim.

3.1. Bilgi Giriş -Çıkışına Göre Kaydedici Çeşitleri

3.1.1. Seri Giriş - Seri Çıkış Kaydırmalı Kaydedici

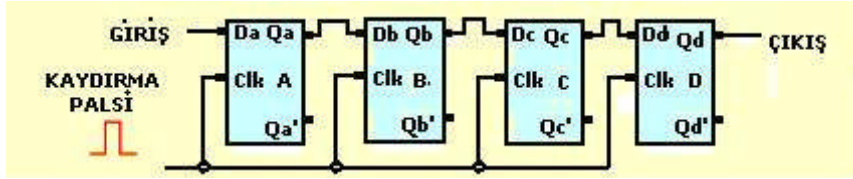
Kaydedicilerde D tipi, J-K tipi ve R-S tipi flip-flop'lar kullanılmaktadır. En ideali ise D tipi flip-flop'lardır. Bu yüzden biz D Tipi flip-flop kullanacağız. J-K veya R-S tipi flip-flop kullanmak için giriş ucu J-K flip-flop'ta J, R-S flip-flop'ta ise S uçları olacaktır. Bu uçlarla

diğer uçlar arasına da deđil kapısı bağlanmalıdır. Aşađıda 4 bit Seri giriş - Seri çıkış kaydırmalı kaydedicinin J-K FF'lerden oluşan iç yapısı görölmektedir.

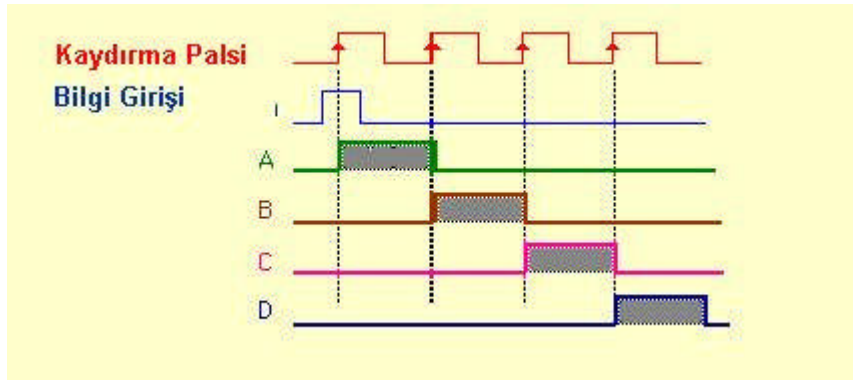


Şekil 3.1: 4 Bit J-K tipi F/F seri giriş - seri çıkış kaydırmalı kaydedici

Şimdi de aynı işlevli devreyi D FF'lerden oluşturalım ve çalışmasını inceleyelim.



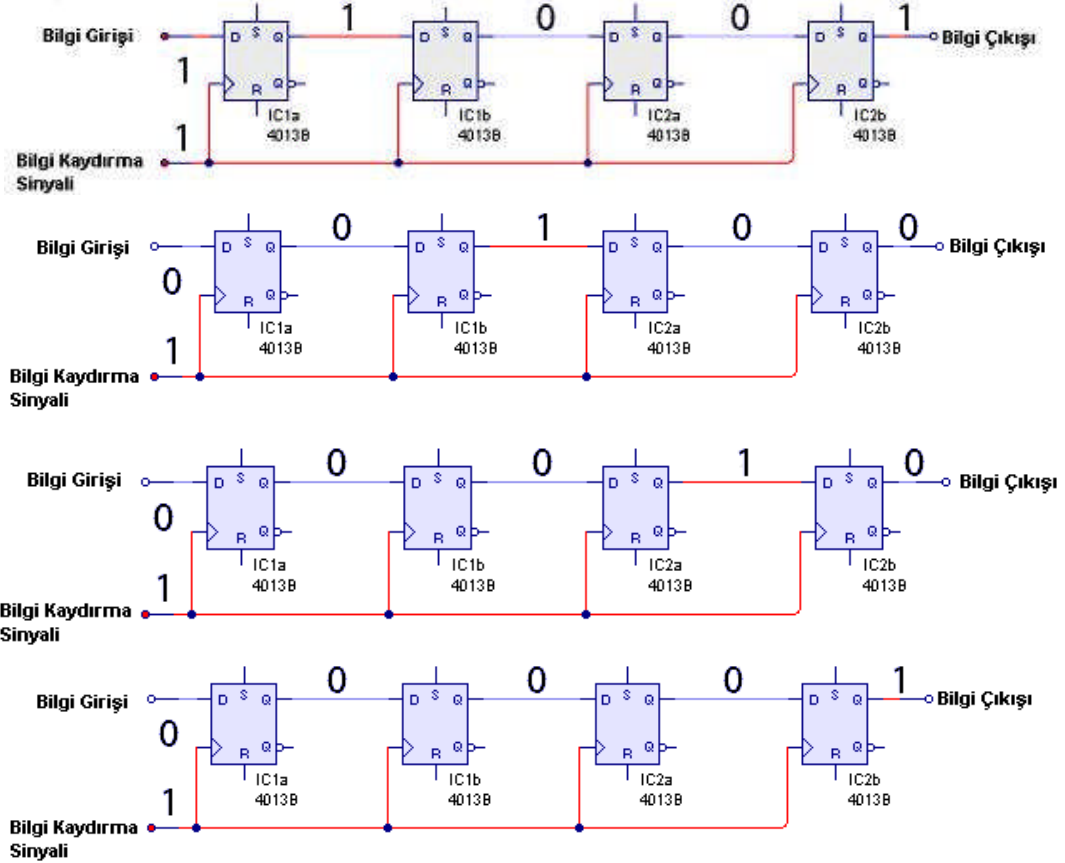
Şekil 3.2: 4 bit D tipi F/F seri giriş - seri çıkış kaydırmalı kaydedici



Şekil 3.3: 4 bit seri giriş - seri çıkış kaydırmalı kaydedici zaman diyagramı

Yukarıdaki şekilde görüldüğü gibi D-FF'ler birbirlerine seri yani artarda bağlanmıştır. A FF'nin girişine 1 bilgisi uyguladığımızı varsayalım. Bu durumda iken bir kaydırma palsi uyguladığımızda girişteki 1 bilgisi A flip-flopunun Q çıkışında görülür. Şimdi de A FF'nin giriş ucuna 0 bilgisi uygulayalım. Qa çıkışı da 1 olduğu için B ff'unun girişine 1 uygulanmış olur. Bu durumda kaydırma palsi verince B FF'nin girişi 1 olduğu için Qb çıkışı 1, A FF'nin girişi de 0 olduğu için Qa çıkışı 0 olacaktır. Buraya kadarki durumu incelediğimizde Qa çıkışı 0, Qb çıkışı ise 1 olmuş durumdadır. Bizim uyguladığımız bilgi ise 1 0 bilgisidir. Bu durumda kaydediciye vermiş olduğumuz 1 0 bilgisi kaydedilmiş oldu. Daha sonra verilecek olan iki adet binary bilgide de biraz önceki vermiş olduğumuz 1 0 bilgisi son iki FF'ye kayacak, ilk iki FF'ye de sonraki verilen bilgiler yerleşecektir. Dörtten daha fazla bilgi verildiği anda ise her fazlalık bilgide kaydedicinin içindeki son bilgi kaybolacaktır. Kaydediciye kaydettiğimiz bilgileri geri almak için ise dört adet kaydırma palsi verilmesi gerekir.

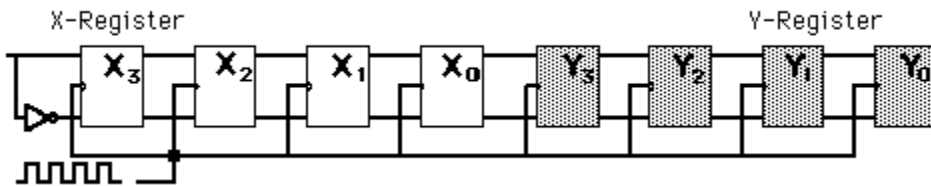
yeterlidir. Her kaydırma palsinde bilgiler şekilde görüldüğü gibi kaydedici çıkışından birer birer alınacaktır. Bilgiler alındığında ise kaydedicideki bilgi kaybolacaktır. Bu durumu aşağıdaki şekillerde adım adım görmekteyiz.



Şekil 3.4: 4 bit seri giriş - seri çıkış kaydırmalı kaydedicide bilginin bit bit kaydırılması işlemi

Bu örnekte de dört tetikleme palsi sonunda X registerinden Y registerine bilgiler aktarılmaktadır. Dört (clock) tetikleme palsi gerektiğinden paralel transfer yönteminden daha yavaştır.

Ancak daha basit ve daha ucuzdur. Aşağıda X registerde bulunan 1-1-0-1 verisi 4 saat palsinde X kaydedicisinden Y kaydedicisine aktarılmaktadır. Bilgi her saat palsinde sağa doğru aktarılarak veri kaydırılır. Şekildeki devre aynı zamanda sağa kaydırmalı kaydedicidir.



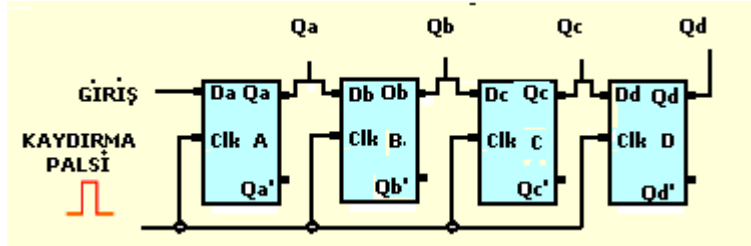
Şekil 3.5: Bilginin X kaydedicisinden Y kaydedicisine kaydırılması işlemi

X_3	X_2	X_1	X_0	Y_3	Y_2	Y_1	Y_0
1	1	0	1	0	0	0	0
0	1	1	0	1	0	0	0
0	0	1	1	0	1	0	0
0	0	0	1	1	0	1	0
0	0	0	0	1	1	0	1

Tablo 3.1: Bilginin X kaydedicisinden Y kaydedicisine kaydırılması işlemi zaman diyagramı

3.1.2. Seri Giriş - Paralel Çıkış Kaydırmalı Kaydedici

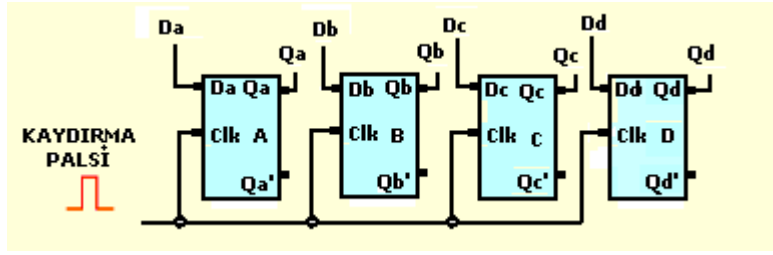
Bu tip kaydedicide kayıt işlemi Seri giriş - Seri çıkış kaydedici ile aynı şekilde olmaktadır. Seri giriş - Paralel çıkış kaydedicinin Seri giriş - Seri çıkış kaydediciden tek farkı tüm çıkışlarından dışarıya uç çıkartılmış olmasıdır. Bu sayede bilgi okunması daha hızlı olacaktır. Ayrıca bilginin okunması için clock pulsü uygulanmasına da gerek yoktur. Bilgi okunduktan sonra da kaydedici içindeki bilgi kaybolmayacaktır. Aşağıda Seri giriş - Paralel çıkış kaydırmalı kaydedicinin FF'lerden oluşan iç yapısı görülmektedir.



Şekil 3.6: 4 bit D tipi FF ile seri giriş - paralel çıkış kaydırmalı kaydedici

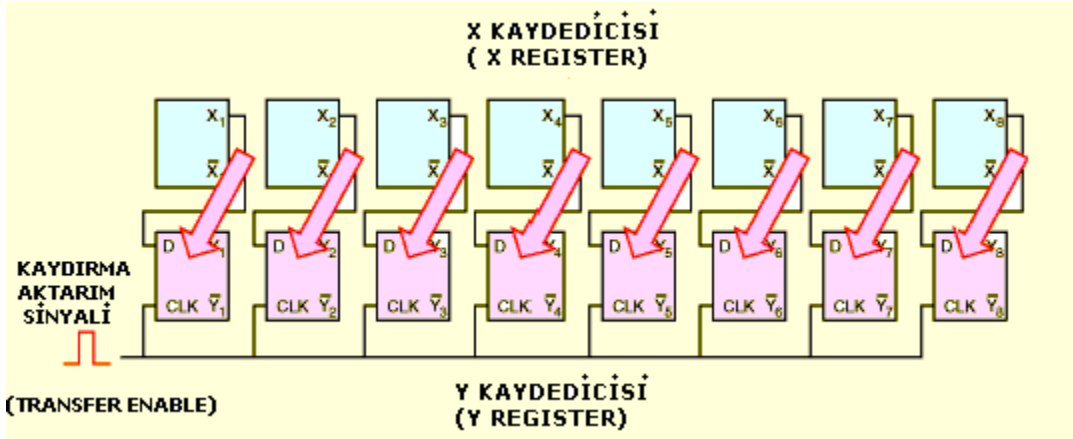
3.1.3. Paralel Giriş - Paralel Çıkış Kaydırmalı Kaydedici

Bu kaydedici türünde ise tüm giriş ve çıkışlardan dışarıya uç çıkartılmıştır. Kayıt işlemi için tüm giriş uçlarına bilgiler uygulanır ve kaydırma pulsü verilir. Bu durumda bilgiler kaydediciye yüklenmiş olur. Ayrıca tüm çıkışlarda da bu bilgiler görülmektedir. Bilgilerin okunması hâlinde kaydedicideki bilgiler kaybolmaz. Aşağıda paralel giriş - paralel çıkış (Paralel In Paralel Out -PIPO) kaydırmalı kaydedicinin FF'lerden oluşan iç yapısı görülmektedir.



Şekil 3.7: 4 bit D tipi FF ile paralel giriş - paralel çıkış kaydırmalı kaydedici

Şekil 3.6'da (X register) X kaydedicisinden, (Y register) Y kaydedicisine 8 bitlik bilgi kaydırılması görülmektedir. Paralel bilgi aktarımı seri bilgi aktarımından daha hızlıdır. Tek bir saat palsinde bütün veri kaydedicisinden Y kaydedicisine aktırılmaktadır.



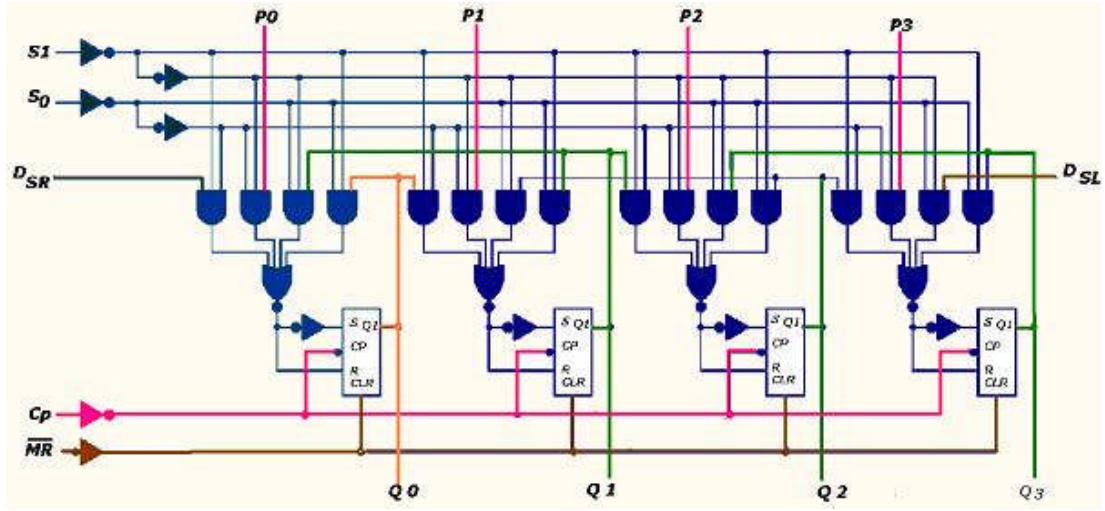
Şekil 3.8: X kaydedicisinden Y kaydedicisine verinin aktarılması

3.1.4. Paralel Giriş - Seri Çıkış Kaydırmalı Kaydedici

Paralel giriş- seri çıkış kaydedicide ise kayıt işlemi paralel giriş - paralel çıkış kaydedici ile aynıdır. Çıkış tek uçtan oluşur. Çıkıştan bilgi okumak için her bir bit için bir clock palsi uygulanır ve bilgiler birer birer okunur. Bilgiler okunduktan sonra kaydedici içindeki bilgiler kaybolur.

3.2. Çok Amaçlı Kaydedici Entegre Devreler (Kaydırma Yönüne Göre Kaydediciler)

İki yönde veri yer değiştirmesi yapabilen kaydırmalı kaydediciler aritmetik işlem yapan devrelerin temel elemanıdır. Örneğin çarpma işlemi sola doğru kaydırmalı kaydediciyle yapılır. Sağa doğru kaydırmalı kaydedici ise bölme işlemini yapar. Şekil 3.7'de verilen blok şemada kaydırma modu seçimine göre seri veya paralel girişlere uygulanan bilgi kaydırma-aktarma palsleriyle yer değiştirir. Bu yer değiştirme seri paralel sağa ya da sola olabilir.



Şekil 3.9: XXF194 entegresi iç yapısı

XXF194 serisi entegreler yüksek hızlı dört bitlik kaydırmalı kaydedicilerdir. Temelde dört adet pozitif kenar tetiklemeli D flip-flop ve lojik devreler içerir. P0, P1, P2, P3 uçları bilgi girişleridir. Q0, Q1, Q2, Q3 bilgi çıkışlarıdır. Bu entegre sağa kaydırma, sola kaydırma, paralel yükleme ve tutma seçenekleri gerçekleştirdiğinden dolayı universal (çok seçenekli) olarak adlandırılmıştır. Mod seçme girişleri olan (S0, S1) girişleri ile çalışma durumu seçilir. Bu durum mod seçme tablosunda görülmektedir.

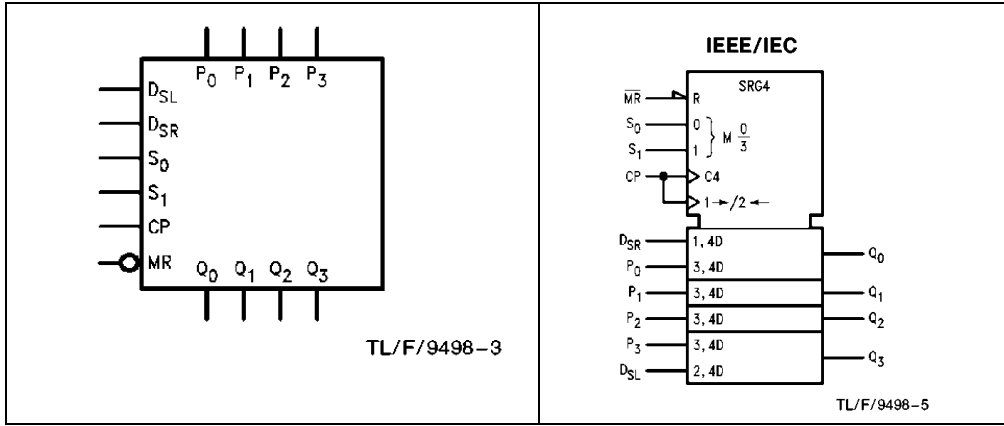
OD SEÇİM TABLOSU (Mode Select Table)										
Çalışma Modu	GİRİŞLER						ÇIKIŞLAR			
	\overline{MR} Asenkron Master Reset Girişi (Low Aktif)	S_1 Mod Kontrol Girişi 1	S_0 Mod Kontrol Girişi 0	D_{SR} Seri Data Girişi (Sağa Kaydır)	D_{SL} Seri Data Girişi (Sola Kaydır)	P_n	Q_0	Q_1	Q_2	Q_3
KUR Reset	L	X	X	X	X	X	L	L	L	L
TUT Hold	H	l	l	X	X	X	q ₀	q ₁	q ₂	q ₁
SOLA KAYDIR Shift Left	H	h	l	X	l	X	q ₁	q ₂	q ₃	L
	H	h	l	X	h	X	q ₁	q ₂	q ₃	H
SAĞA KAYDIR Shift Right	H	l	h	l	X	X	L	q ₀	q ₁	q ₂
	H	l	h	h	X	X	H	q ₀	q ₁	q ₂
PARALEL YÜKLEME Paralel Load	H	h	h	X	X	P_n	P_0	P_1	P_2	P_3

Tablo3.2: XXF194 entegresi mod seçim tablosu

Paralel data (PQ-PS) VE Serial data (DSR, DSL)B çalışmada tetikleme sinyalinin yükselen kısmında tablodaki değişimler gerçekleşir. Master reset (MR) sinyali Low (L) dur. Diğer girişler ve çıkışlar da LOW (L) seviyededir.

3.2.1. Sağa-Sola Kaydırmalı Kaydedici Entegresi

74194 entegresi kontrol sinyallerinin değişmesiyle seri girilen veriyi sağa ya da sola kaydırabilir. Aynı şekilde çıkış seri ya da paralel olarak alınabilir. Şekilde bu entegreye ait lojik sembolü ve bazı kılıflarına ait ayak bağlantıları görülmektedir.



Şekil 3.10: 74194 entegresi bacakları

Devrede A,B,C,D uçları paralel, D_{sr} ve D_{sl} girişleri ise seri veri girişleridir. D_{sr} ucundan sağa kaydırılacak veri girilir ve girilen ilk bit A çıkışına gönderilir. D_{sl} ucundan ise sola kaydırılacak veri girilir. Girilen ilk bit D çıkışına iletilir ve sola kaydırılır.

Tetikleme palsinin pozitif kenarı entegreyi tetikler. girişinden uygulanan 0 pulsü tüm çıkışları 0 yapar.



Şekil 3.11: 74194 bacak bağlantıları

S₀ ve S₁ girişleri devrenin çalışma modunu kontrol eder. S₀=0, S₁=0 durumunda devre *hold* (tutma) modundadır ve hiç bir işlem yapmadan yalnızca çıkışındaki verileri korur. S₀=0, S₁=1 durumunda devre sola kaydırmalı kaydedici olarak çalışır. S₀=1, S₁=0 durumunda ise sağa kaymalı kaydedici Şekil 3.8’de verilen devrede A, B, C, D uçları paralel. D_{SR} ve D_{SL} girişleri ise seri veri girişleridir. D_{SR} ucundan sağa kaydırılacak veri girilir ve girilen ilk bit A çıkışına gönderilir. D_{SL} ucundan ise sola kaydırılacak veri girilir. Girilen ilk bit D çıkışına iletilir ve sola kaydırılır.

Tetikleme palsinin pozitif kenarı entegreyi tetikler. MR girişinden uygulanan 0 pulsü tüm çıkışları 0 yapar.

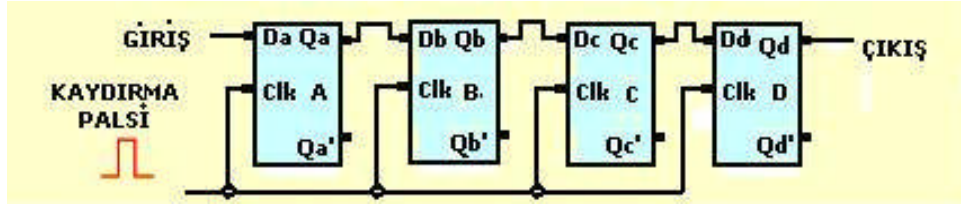
S₀ ve S₁ girişleri devrenin modunu kontrol eder. S₀=0, S₁=0 durumunda devre *hold* (tutma) modundadır ve hiçbir işlem yapmadan yalnızca çıkışındaki verileri korur. S₀=0, S₁=1 durumunda devre sola kaydırmalı kaydedici olarak çalışır. S₀=1, S₁=0 durumunda ise sağa kaymalı kaydedici olarak çalışır.

$S_0 = 0$, $S_1 = 0$ durumunda entegre paralel giriş paralel çıkışlı kaydedici olarak çalışır. A, B, C, D girişlerinden paralel olarak uygulanan veri, tetikleme palsinin pozitif kenarında çıkışa gönderilir.

3.2.2. Sağa Kaydırmalı Kaydedici

Entegre girişlerini $S_0=1$, $S_1=0$ yaparak entegreyi sağa kaydırmalı kaydedici olarak kullanabiliriz. İlk \overline{MR} girişini 0 yaparak tüm çıkışların 0 olduğundan emin oluruz. Sonra \overline{MR} girişini 1 yaparak silmeyi etkisiz duruma getiririz. D SR' seçeneğini (sağa kaydırma girişi) 1 değerine alırız. Tetikleme anahtarıyla 4 kez tetikleme palsi gönderdiğimizde veri sağa doğru kayacaktır.

Bunun dışında 4 bitlik sağa kaymalı kaydedici devresi aşağıda Şekil 3.10'da verilmiştir.



Şekil 3.12: 4 bit D tipi F/F sağa kaymalı kaydırmalı kaydedici

3.2.3. Sola Kaymalı Kaydedici

Entegrede mod seçici girişleri $S_0=0$, $S_1=1$ yaparak devreyi sola kaydırmalı kaydedici hâline getirebiliriz. Bu şekilde bilgi, Q_3 'den Q_0 'a doğru kayacak şekilde hareket eder. \overline{MR} girişini 0 yaparak tüm çıkışları 0 yapınız. Sonra \overline{MR} girişini 1 yaparak silmeyi pasif (ölü) hâle getirilir. D_{SL} seçeneğini 1 yaparız. Tetikleme anahtarıyla 4 kez tetikleme *palsi* gönderildiğinde bilgi, sola doğru kayacaktır. Sağa kaymalı olduğu gibi veri en soldaki FF' den girilerek her saat palsinde sola doğru kaydırılır.

3.3. Rasgele Erişimli Oku / Yaz Bellekler

Bellekler, mikroişlemcili sistemlerde dolayısıyla bilgisayarlarda veriyi belli bir süre için saklayabilen birimlerdir. Mikroişlemcili sistemlerde bellekler, ana bellek, ikincil bellek ya da üçüncül bellek gibi gruplar altında incelenebilir. Bellekleri ayrıca geçici bellekler ve kalıcı bellekler diye sınıflandırabiliriz. Geçici olmayan bellekler veriyi tutmak için elektrik akımına ihtiyaç duymayan tiplerdir.

ROM (read only memory), Sabit diskler, disketler, CD, DVD gibi optik ortamlar, teypler bu sınıfa girer. Geçici bellekler veriyi tutabilmek için elektrik akımına ihtiyaç duyan tiplerdir. RAM (random access memory) en bilinen örnektir.

Biz bu modülde ana bellek grubunda yer alan geçici RAM bellekleri yüzeysel olarak inceleyeceğiz. İncelemeye başlamadan önce bildiğimiz bazı kavramları hatırlamamızda ve bazılarını öğrenmemizde yarar vardır.

Bit: Bir saklama yerinde (BYTE) bulunan veri 0 ve 1 rakamlarından oluşan ikili sistemden oluşur. Dijital sistemlerin temelini oluşturan 0 ve 1 bilgilerinin her biri bir bittir.

Byte : İşlemcilerin belleğe erişirken kullandığı en küçük veri birimi (1 veya 0 olan) tek bir bit yerine 8 bitten oluşan bayt (byte)'tır.

1 Byte	8 Bit	1 Hücre Birimi
1 Kilo Byte (Kb)	2^{10}	1024 Byte
1 Mega Byte (Mb)	2^{20}	2^{10} Kilo Byte
1 Giga Byte (Gb)	2^{30}	2^{10} Mega Byte
1 Tera Byte (Tb)	2^{40}	2^{10} Giga Byte

Tablo 3.3: Byte birim tablosu

Bellek kelimesi (sözcük) (memory word) : Baytlardan ve bitlerden oluşan gruptur. Kelime büyüklüğü 4 ile 64 arasında değişebilir.

Kapasite: Belirli bir bellek elemanına kaç bit saklanacağını belirler. Belleklerde örneğin bir belleğin kapasitesinin 4096 x 20 olduğu söylendiğinde kapasitesi 81620 bittir. İlk sayı (4096) kelime sayısını, ikinci sayı (20) ise her kelimedeki bit sayısını yani kelime büyüklüğünü göstermektedir. Bellek kapasitesinin birimi, günümüzde kullanılan bilgisayar sistemlerinde mega byte'tır. 1 MB, 1.048.576 hücre biriminden oluşur. Bilgisayar sistemlerinde bilgi saklama ikili sistemi kullandığı için 2^{20} bite karşı gelen ve 10^6 ya en yakın olan sayı kullanılmıştır.

Adres (Address): Elimizdeki bir bellek dizinini belli sayıda satır ve sütunlardan oluşan iki boyutlu bir tablo olarak düşünebiliriz. Tablomuzun yapıtaşları ise bahsettiğimiz RAM hücreleridir. Bu tablo üzerindeki herhangi bir hücreye erişmek (yazmak ya da okumak) için o hücrenin tablodaki konumunu, yani, hangi satır ve sütunun kesişim noktasında bulunduğunu vermemiz gerekir. Bellekte saklanan her kelimenin tek bir adresi vardır. Adresler genellikle ikili sayılarla belirtilir bazen de on altılı veya onlu sayılarda kullanılabilir.

0	0	0	Kelime 0
0	0	1	Kelime 1
0	1	0	Kelime 2
0	1	1	Kelime 3
1	0	0	Kelime 4
1	0	1	Kelime 5
1	1	0	Kelime 6
1	1	1	Kelime 7

Şekil 3.13: 8 Kelimelik bellek

KELİME	ADRESLER	
	0	Byte 0
2	Byte 2	Byte 3
	.	.
	.	.
i	Byte i	Byte $i+1$
$i+2$	Byte $i+2$	Byte $i+3$
	.	.
	.	.
$2^{24}-2$	Byte $2^{24}-2$	Byte $2^{24}-1$
	2	1

ADRES HARİTASI

Şekil 3.14: Kelimelik bellek

Örneğin; Şekil 3.11’de sekiz kelimededen oluşan bir bellek görülmektedir. Bu sekiz kelimenin her biri 000 ile 111 arasında değişen 3 bitlik sayı ile gösterilen özel adresi vardır. Bellekte özel kelime bölgesini belirtmede, adres kodu kullanılır. Bu yüzden bellek yongalarında erişilebilen en küçük veri birimi de byte olarak düzenlenmiştir. Böylece bellek tablomuz satır, sütun ve banka adres bilgileriyle erişilen byte'lardan oluşmaktadır. Diğer bir deyişle bir byte’i oluşturan ve tablomuzda yan yana konumlanmış olan 8 RAM hücresi aynı anda okunmakta ve yazılmaktadır. Bu aslında gerçekte olanın basitleştirilmiş hâlidir. Örneğin, günümüz bilgisayarlarında kullandığımız bellek modüllerinden anakarta bağlantıyı sağlayan veri yolunun genişliği DIMMlerde 128 bit değerinde olduğu göz önüne alındığında çok sayıda byte okumak mümkündür ($128 \text{ bit} / 8 \text{ bit} = 16 \text{ byte}$).

Şekil 3.12’de görüldüğü gibi bir hafıza hücresine, X ve Y (dikey ve yatay) seçici hatları kullanılarak ulaşılır, fakat tüm bitlerin seçimini yapabilmek için kod çözücü devrelere gerektirir. Ancak, adres bitleri bu seçici hatlar içinde kısmi veya tam bir şekilde kodu çözülerek entegrenin dışındaki kod çözücü devrelerinin sayısı azaltılabilir.

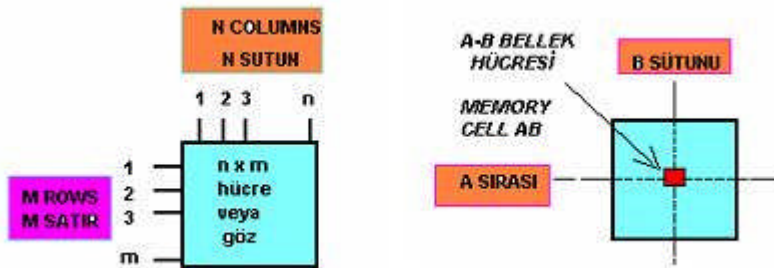
Banka: Erişimi kolaylaştırmak için genelde bellek tablomuz yonga üzerinde daha küçük alt tablolara bölünmüştür. Bu alt tablolara banka (bank) denmektedir. Günümüzde bellek yongaları genelde 4 bankalı olarak tasarlanmaktadır. Kısaca, adresimiz satır ve sütun numaralarının yanı sıra bir banka numarasını da içeriyor. Bu sayede bellek yongası hangi bankanın kaçınıcı satırındaki kaçınıcı sütunundaki hücreye erişim yapılmak istendiğini bilmektedir.

Erişim zamanı (access time): Okuma işlemini gerçekleştirmek için gereken süredir. T ACC ile gösterilir.

İşlem süresi (cycle time): Oku ve yaz işlemini tamamlayıp bir sonraki komut için hazır oluncaya değin geçen süredir.

3.3.1. RAM Belleklerde Bilgi Kaydedilmesi ve Okunması

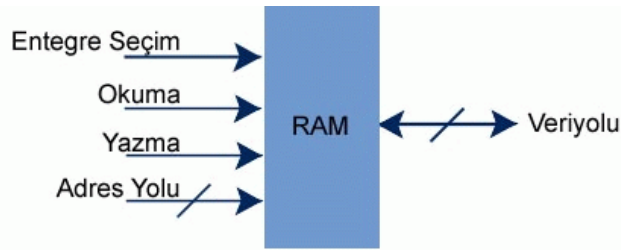
Bellek hücresi (memory cell): Flip – flop gibi bir biti saklamada kullanılan devrelere verilen addır. Bilgisayarın ana belleğindeki hücrelerin toplam sayısı bilgisayarın bellek kapasitesini gösterir.



Şekil 3.15: Bellek hücresi

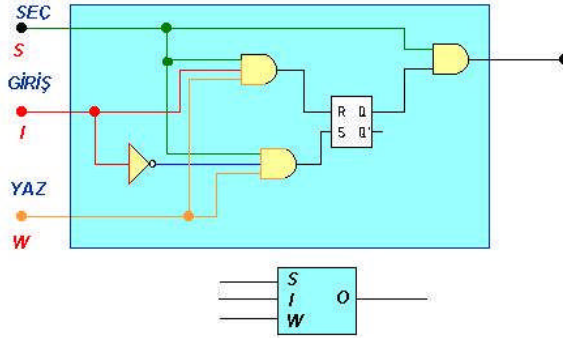
Yarı iletken, rasgele erişimli hafızaların hücreleri, çizgi kesişmelerinden oluşan bir matris şeklinde düzenlenir. Şekil 3.13'te görüldüğü gibi düzenleme n bitleri x m kelime şeklindedir. Örneğin $64 \times 16 = 1024$ bit vb. Bu hafızalarda genellikle kare matrisi kullanılır. Her hafıza hücresi, matriste bireysel bir adrese sahiptir. Hücredeki bilgi, bir sıra ve bir sütun hattına aynı anda bir gerilim uygulanması ile seçilebilir. Gerekli adres giriş hatlarının sayısını azaltmak için adresler binary şeklinde kodlanır ve kodu çözülür.

Bu amaca hizmet edecek bir IC entegre bellek aşağıdaki işlemlerde görev yapacak ayaklara sahip olmalıdır. Giriş ve çıkış data bitleri, Adres bitleri, Oku/ yaz bitleri, Seçme işlemini yapan bitler (Select veya enable kontrolleri).



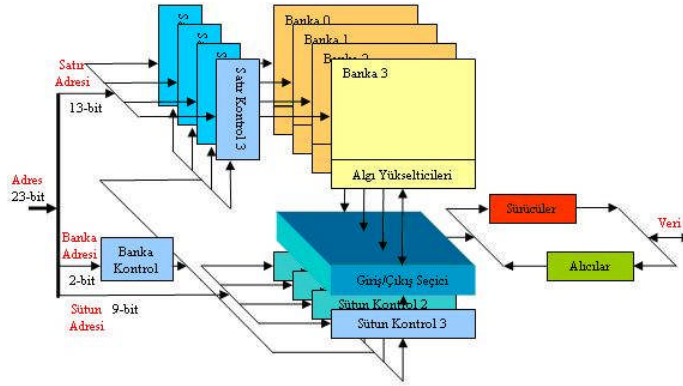
Şekil 3.16: RAM Pin İsimleri

Şekil3.15'te kontrol devresi ile birleştirilen bir RS flip-flopu içeren temel bir bellek hücresini gösterir. Bu hücreyi bellekte kullanmak için seçilen hücrelerin yazılacağını mı ya da okunacağını mı kontrol etmek amacıyla bir yöntem kullanılmalıdır. Ayrıca bellek adres kaydedicisi (MAR) tarafından adreslenen bu hücrelerin seçimi için de ayrı bir teknik kullanılmalıdır.



Şekil 3.17: Kontrol devresi ile birleştirilen bir RS flip-flopu içeren temel bellek hücresi

Her bir kelimenin kaydedildiği flip-flop grubuna memory register (bellek kaydedici) adı verilmiştir. Bu şekilde yan yana ve arka arkaya sıralı flip-flop hücreleri bir matris (array) oluşturur. Bir yongada bu RAM hücresinden, yani flip-flop'tan milyonlarca kullanılmaktadır. Dolayısıyla RAM bellek hücresini en az yer kaplayacak, en az fireyle en verimli üretilebilecek şekilde tasarlanması gereklidir. Bu nedenle üretim teknolojisi açısından bazı durumlarda işlemcilerden daha gelişmiş teknolojiye sahip bellekler üretilmektedir.



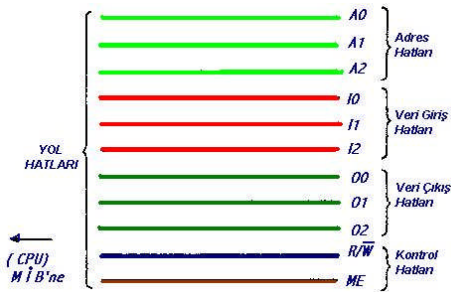
Şekil 3.18: Ram belleklerde bilgi kaydedilmesi ve okunması

Okuma işlemi (read): Belirli bellek bölgesinde (adres) saklı olan ikili sayı kelimesini alıp daha sonra başka bir bölgeye transfer işlemidir. Oku işlemine, bellekteki kelimenin getirilmesi nedeniyle getir (fetch) işlemi adı da verilir.

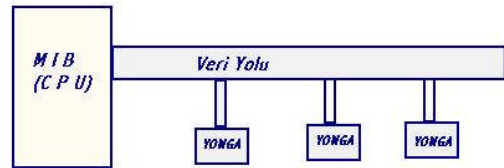
Yaz işlemi (write): Belirli bellek bölgesine (adres) yeni kelime yerleştirilmesi işlemidir.

3.3.2. Bellek Ölçülerinin Genişletilmesi

Bilgisayar bellek bağlantılarında genellikle merkezî işlem birimini bir veri yolu (BUS) aracılığıyla belleğe bağlanır. Şekil 3.17’de, mikrobilgisayar için tipik veri yolu çizimi görülmektedir. Çizimleri basitleştirmek ve açıklamalara aydınlık kazandırmak için sadece üç adres hatlı, üç çıkış veri hatlı, iki kontrol sinyaline sahip ve üç giriş veri hatlı bir bellek yolu kullanalım. Böylece kullanılan bellek, 8-kelime, kelime başına 3-bitli bellektir.

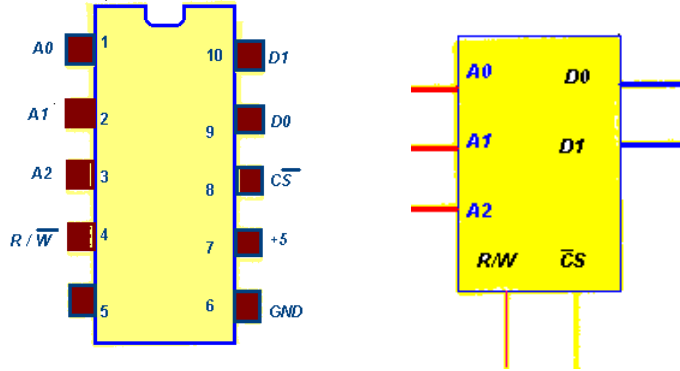


Şekil 3.19: Mikrobilgisayar için veri yolu çizimi



Şekil 3.20: Bellek yongalarının veri yolunun tipik bağlantısı

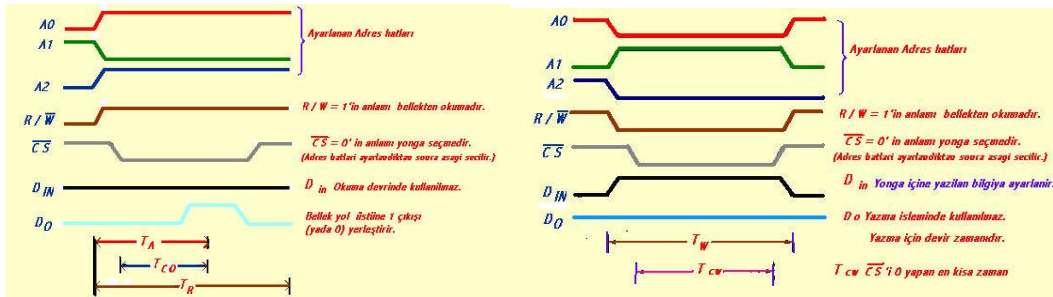
İki kontrol sinyali aşağıdaki gibi çalışır: oku-yaz (R/W) sinyali 1 ise bellek okunur; R/W hattı 0 ise belleğin içine yazılır. Bellek hem okunduğu hem de içine yazıldığı zaman BELLEK YETKİLENDİRME (Memory Enable-ME) sinyali 1’dir; diğer durumlarda 0’dır.



Şekil 3.21: IC Bellek paketi ve bellek yongası ayakları

Yukarıdaki Şekil 3.19’da bir IC bellek paketi gösterilmektedir. Her IC paketi A_0 , A_1 ve A_2 olarak üç adres hattına ve R/W girişine, bir D_0 çıkış bitine, bir D_x giriş bitine ve bir YONGA SEÇME (CHIP SELECT-CS) girişine sahiptir. Her paket 8-kelimeli 1-bit bellek içerir.

IC bellek yongası şöyle çalışır. A_0 , A_1 ve A_2 adres hatları, okunan ya da içine yazılan adrese ayarlanmalıdır. Eğer işlem okuma ise R/W hattı l'e ayarlanır ve CS hattı 0'a getirilir (CS hattı normalde l'dir). Veri biti D_0 hattı üstüne okunur. Bununla beraber belirli zaman kısıtlamaları ile karşılaşır ve bunlar IC üreticileri tarafından verilir. Oku çevrimi ile ilgili zaman diyagramı şöyledir:



Şekil 3.22: Oku ve yaz çevrimi ile ilgili zaman diyagramı

T_R değeri bir okuma işleminin gerektirdiği en kısa çevirim zamanıdır. Bu periyot boyunca adres hatları kararlı (sabit) olmalıdır. T_A değeri adres hattının kararlı olduğu bellekten veri okununcaya kadar geçen en kısa erişim zamanıdır. T_{CO} değeri CS hattının 0'a yapıldığı zamandan veri okununcaya kadar olan en kısa zamandır.

Yazma işlemi için ayarlanan yol zamanlaması yukarıdaki zamanlarla uygun hâle getirilmelidir. Yonga için bir yolun çok hızlı çalışmadığı ve okumadan önce, adres hatları ayarlandıktan sonra yolun en az T_A süresi kadar beklediği ve yine okumadan önce \overline{CS} hata aşağıya çekildikten sonra en az t_{CO} zamanı kadar bekletildiği önemlidir. Adres hattı en az T_R periyodu kadar kararlı tutulmalıdır. Yazma işlemi için, ayarlanan adres, adres hatları üstüne yazılır, R/W hattı 0 yapılır CS aşağıya çekilir ve D_{IN} hattına yerleştirilen veri okunur. T_W zaman aralığı bir YAZ (WRITE) çevrimi için en kısa zamandır; T_H zamanı, yongaya yazılan verinin kararlı (sabit) tutulduğu zamandır. Farklı bellekler veriyolunu (bus) uygun hale

getiren farklı zamanlama kısıtlamalarına sahiptir. Bizim veri yolumuzun (bus) bu kısıtlamaları karşıladığını kabul edelim.

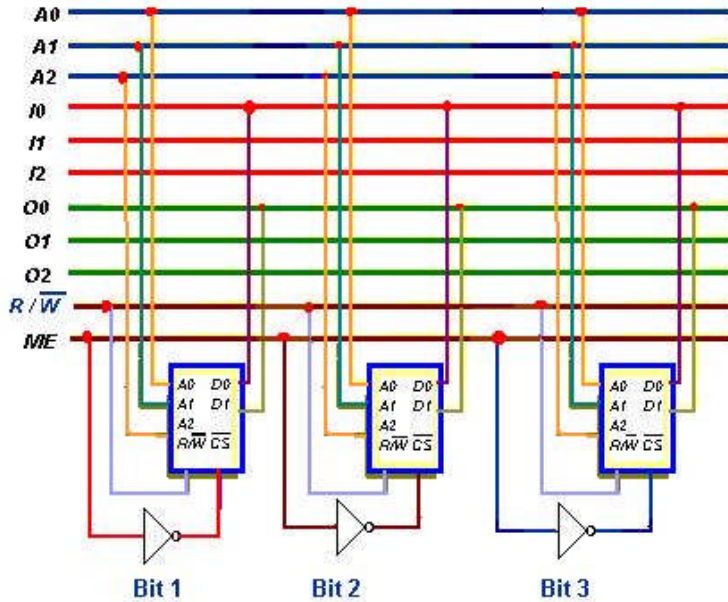
3.3.3. Bellek Kelime Uzunluğunun Genişletilmesi

Sayısal devreler ve bilgisayarlarda, bellek kapasitesini veya kelime büyüklüğünü artırmak için birkaç bellek elemanı birlikte kullanılabilir. Bazı örneklerle bu işlemin nasıl yapılacağını görelim. Yukarıda incelediğimiz bu IC paketlerden (yongalardan) 8-kelimelik 3-bitlik bir hafıza oluşturmak için Şekil 3.21'deki bağlantı şeması kullanılır. Burada her bir yonganın adres hattı, mikrobilgisayar veriyolunda (bus) karşılık gelen adres çıkışına bağlanır. Her yonga için YONGA SEÇME girişi CS, bir ters çevirici üzerinden mikroişlemcinin BELLEK YETKİLENDİRME - ME çıkışına ve R/W yol (bus) her bir yonganın R/W girişine bağlanır.

Eğer, mikroişlemcinin MIB (CPU) bellekten okumak isterse adres hatlarına okunulan adresi basitçe yerleştirir, R/W hattına 1 yerleştirir ve ME hatnı yüksek seviyeye çeker. Daha sonra her yonga, çıkış hatnana seçilen biti okur ve MIB, I1, I2 ve I3 hatlarındaki değerleri okur (Bir yonganın çıkışının veriyolu (bus) girişi olduğuna dikkat ediniz.).

Benzer şekilde, bir kelimeyi belleğe yazmak için, MIB adres hatlarına, yazılan adresi yerleştirir, bitler O1, O2 ve O3 hatlarına yazılır, R/W yi düşük seviyeye çeker ve ME'yi yüksek seviyeye çeker.

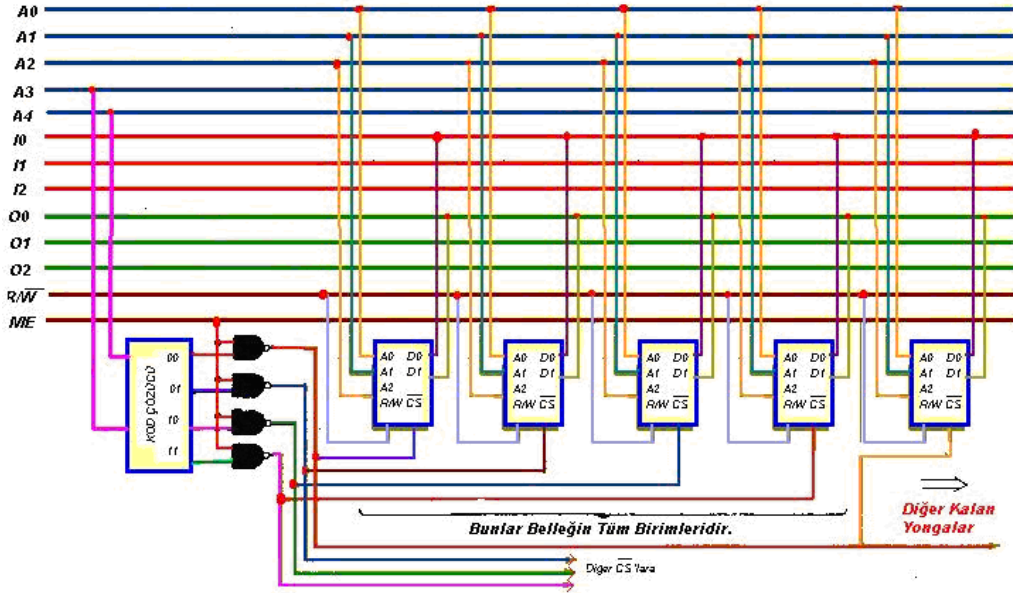
Uygulamada, mikroişlemcilerin bellek kelimelerin her biri genellikle için 8 bit içerir (Bazı yeni geniş mikroişlemciler 16-bitlik kelimelere sahiptir.). Genellikle 16 adres hattı ve böylece 2^{16} kelime, bellekte kullanılır. Bununla beraber, bellek yongaları, 8'den 14'e (en çok) kadar bellek adres hatlarına sahip olmaya eğilimlidir.



Şekil 3.23: 8 kelimelik 3 bitlik hafıza birimi oluşturulması

3.3.4. Bellek Adres Bölgesi Sayısının Genişletilmesi

Bu işlemi bir örnekle açıklayalım. Bu örnekte yongalar yine üç adres hattına sahiptir, fakat mikroişlemci veri yolu (bus) beş hatta sahiptir. Bağlantıyı yetkilendirmek için iki-girişli kod çözücünün üç en küçük değerlikli biti önceki gibi yonga adres yollarına bağlanırken iki en büyük değerlikli bit yolu adres kısmına bağlanır.



Şekil 3.24: Bellek adres bölgesi sayısının genişletilmesi

Şimdi, kod çözücünün her biri bir VE-DEĞİL kapısı tarafından ME kontrol sinyaliyle birlikte kapıdan geçirilir. Böylece ME yüksek seviyeye çekildiği zaman, tek bir YONGA SEÇME (chip select) hattı alçak seviyeye çekilir (VE-DEĞİL kapısının çıkışları normalde yüksektir.). Böylece kod çözücü yetkilendirilen yongayı seçer ve yetkilendirilen yonga üzerindeki adres hatları yazılan ya da okunan bellek hücrelerini seçer. Daha sonra yonga üzerindeki kod işlemi okunan ya da içine yazılı özel bellek hücrelerini seçer. Şekil 3.22'de gösterilen ilkeler, bilgisayarlarda yaygın olarak kullanılır. Bellek yongaları hemen hemen değişmez bir biçimde yollardan daha az sayıda adres girişine sahiptir ve böylece bu genişletme tekniği bellek kullanımı için gereklidir. Şekilde bellek kelimesinin sadece 1 bitinin tamamıyla çizildiğine dikkat ediniz (İkinci bitten bir yonga da gösterilmiştir.). Bütün bir 32-kelimelik 3-bitlik bellek burada gösterilen tipte 12 yonga gerektirecektir. Birçok veri yolu giriş ve çıkış veri hatlarını tek bir hat grubunda, mikroişlemciler modülünde veri yolları (buses) konusunda açıklanan bir yöntemle birleştirir.

Görüldüğü gibi bir mikrobilgisayar ya da minibilgisayar (ya da herhangi bir bilgisayar) en küçük bellek ile satın alınabilir ve daha sonra bellek yol adres hatları ile uygun hâle getirilinceye kadar daha fazla yonga eklenerek genişletilebilir.

UYGULAMA FAALİYETİ

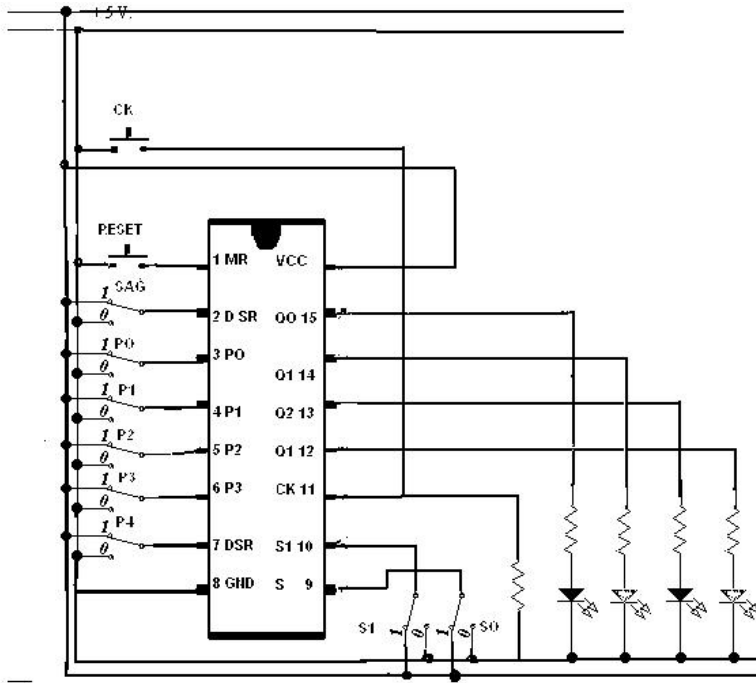
Universal Sağa Sola Kaydedici Devre

Aşağıda verilen devreyi işlem basamaklarına uygun olarak gerçekleştiriniz.

Deneyde Kullanılacak Malzemeler

Eleman	Değeri	Sayısı
Entegre	74194 Entegresi	1
Direnç	330 Ω .	5
Led Diyot	Değişik renklerde	5
Ölçü Aleti	AVO metre	1
Güç Kaynağı	DC 5 V.	1

Deney Şeması



İşlem Basamakları	Öneriler
➤ Elemanları sağlayıp sağlamlık kontrollerini yapınız.	➤ Deneş öncesi yazılı ve görsel dokümanlardan bilgisayar ve internet ortamından yararlanarak kullanacağınız elemanların özelliklerini gözden geçirerek hazırlık yapınız. ➤ Devrenizin nasıl çalışacağı konusunda şekil üzerinde devre takibini gerçekleştirip hazırlık yapınız.
➤ Elemanlarınız sağlamsa yukarıdaki devreyi proje bordu üzerine kurunuz.	
➤ Devre bağlantılarını gözden geçiriniz.	
➤ Devreye enerji uygulayınız.	
➤ Devrenizi değişik pozisyonlarda çalıştırınız.	➤ Uygulamada kullanacağınız elemanların nasıl çalıştığı konularında tereddütte olduğunuz konularda çeşitli kanallardan bilgilerinizi gözden geçiriniz.
➤ Gözlemlerinize göre tablo oluşturunuz.	
	➤ Devreye enerji uygulamadan önce özellikle kısa devre kontrolünü ilgili ölçü aletleri ile gerçekleştiriniz.
	➤ Devreye enerji uyguladığımızda enerji altında çalışırken kendiniz ve devre elemanlarının sağlığı açısından olabildiğince dikkatli olunuz.

KONTROL LİSTESİ

Bu faaliyet kapsamında aşağıda listelenen davranışlardan kazandığınız beceriler için **Evet**, kazanamadıklarınız için **Hayır** kutucuklarına (X) işareti koyarak öğrendiklerinizi kontrol ediniz.

Değerlendirme Ölçütleri	Evet	Hayır
1. Uygulama öncesi hazırlıkları yaptınız mı?		
2. Uygulama sırasında önerilen işlem basamaklarına uydunuz mu?		
3. Uygulama devresi yerleşimi düzenli mi?		
4. Uygulama devresi kurulumu sırasında ölçü aleti kullanımına özen gösterdiniz mi?		
5. Devreyi enerjilendirmeden gerekli güvenlik önlemlerini aldınız mı?		
6. Devreyi doğru kurdunuz mu?		
7. Devreniz hatasız çalışıyor mu?		
8. Devre ile ilgili sorulara verilen yanıtlarınız doğru mu?		
9. Devrenin çalışma prensibini biliyor musunuz?		
10. Uygulamayı istenilen sürede tamamladınız mı?		
11. Elde edilen sonuçlar yanıt anahtarına uygun mu?		

DEĞERLENDİRME

Değerlendirme sonunda “Hayır” şeklindeki cevaplarınızı bir daha gözden geçiriniz. Kendinizi yeterli görmüyorsanız öğrenme faaliyetini tekrar ediniz. Bütün cevaplarınız “Evet” ise “Ölçme ve Değerlendirme”ye geçiniz.

ÖLÇME VE DEĞERLENDİRME

Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1. Bilgiyi geçici olarak depolayabilen sağa veya sola kaydırabilen flip- flop'lardan oluşmuş devreler hangi adla adlandırılır?
A) Kaydediciler
B) Sayıcılar
C) Bellekler
D) Kayıtçılar
2. Hangisi Paralel giriş Paralel çıkış kaydedicinin kısa adıdır?
A) SISO
B) PIPO
C) SIPO
D) PISO
3. Hangisi Seri giriş Seri çıkış kaydedicinin kısa adıdır?
A) SISO
B) PIPO
C) SIPO
D) PISO
4. Hangisi Paralel giriş Seri çıkış kaydedicinin kısa adıdır?
A) SISO
B) PIPO
C) SIPO
D) PISO
5. Bir saklama yerinde (BYTE) bulunan veri 0 ve 1 rakamlarından oluşan ikili sistemdeki adı nedir?
A) Bit
B) Kbit
C) Mbit
D) Milibit

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru “Modül Değerlendirme”ye geçiniz.

MODÜL DEĞERLENDİRME

Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1. Kodlayıcı, kod çözücü, veri seçici, veri dağıtıcı, toplayıcı, çıkarıcı, karşılaştırıcı gibi devreler hangi adla anılır?
A) Bilişimsel
B) Bileşimsel
C) Birleşimsel
D) Bileşik
2. Ardışıl bir devre birleşik bir devre ve oluşan bilginin saklanması için hangi elemanlar kullanılır?
A) Bellek
B) Hard disk
C) Teyp
D) Şerit
3. Flip-flop'ların bir bitlik bilgi saklayabilenlerine kilit-mandal anlamına gelen ne denir?
A) Layt
B) Latch
C) Lecht
D) Leyt
4. Ayrıca flip-flop'larda saat ve kontrol girişleri de bulunmaktadır. Girişler çıkışa nasıl aktarılır?
A) Haftalık palslerle
B) Aylık palsleriyle
C) Saat palsleriyle
D) Saniye palsleriyle
5. R-S FF'da RESET durumunda R=? ve S=? hangi değerindedir?
A) 0-1
B) 1-0
C) 0-0
D) 1-1
6. SET durumunda R=? ve S=? hangi değerdedir?
A) 0-1
B) 1-0
C) 0-0
D) 1-1

7. VEYA DEĞİL kapılı FF devresinde R ve S girişlerine aynı anda 1 verilmez. Bu yapılırsa devrenin çıkışlarının konumu nasıl olur?
A) Belirsizleşir
B) Belirlenir
C) Çıkış sıfır olur
D) Çıkış bir olur
8. Flip flop'ları tetiklemede kullanılan clock palsi (saat darbesi, cp) hangi tür dalgadır?
A) Üçgen
B) Kare
C) Testere
D) Dikdörtgen
9. Hangi tür flip-flop R-S flip-flop tipindeki tanımsız durumun ortadan kaldırılması açısından bu tipin gelişmiş bir şekli denilebilir?
A) A-K B) B-K C) C-K D) J-K
10. Bir R-S mandalının S ve R girişleri arasına DEĞİL kapısı bağlanarak hangi eleman elde edilebilir?
A) G FF B) D FF C) T FF D) J FF
11. Bir J-K flip-flop' un iki girişini kısa devre ederek hangi Flip - Flop elde edilebilir?
A) G FF B) D FF C) T FF D) J FF
12. Tetikleme sinyalinin uygulanmasına göre sınıflandırılan asenkron sayıcının diğer adlarından değildir?
A) Eş zamanlı
B) Uyumlu
C) Dalgacık
D) Tırtıklı
13. Aşağıdakilerden hangisi sayma yönüne göre sınıflandırılan sayıcı türü değildir?
A) Yukarı
B) İleri
C) Geri
D) Yana
14. Asenkron sayıcılarda kullanılan flip-flop'lar peş peşe tetikleneceklerinden dolayı devrenin hızı ne olur?
A) Düşer.
B) Çıkar.
C) Değişmez.
D) Değişir.

15. Bilgiyi geçici olarak depolayabilen sağa veya sola kaydırabilen flip- flop'lardan oluşmuş devreler hangi adla adlandırılır?
A) Kaydediciler
B) Sayıcılar
C) Bellekler
D) Kayıtçılar
16. Hangisi Paralel giriş Paralel çıkış kaydedicinin kısa adıdır?
A) SISO
B) PIPO
C) SIPO
D) PISO
17. Aşağıdakilerden hangisi geçici belleklerden veriyi tutabilmek için elektrik akımına ihtiyaç duyan tiplerdir?
A) ROM
B) EPROM
C) DROM
D) RAM
18. Bir saklama yerinde (BYTE) bulunan veri 0 ve 1 rakamlarından oluşan ikili sistemdeki adı nedir?
A) Bit
B) Kbit
C) Mbit
D) Milibit
19. Oku işlemi bellekteki kelimenin getirilmesi nedeniyle getir hangi işlem adı da verilir?
A) Ketch
B) Tech
C) Fetch
D) Letch
20. Bir flip-flop kaç bitlik bir oku-yaz belleğidir?
A) Dört
B) Üç
C) İki
D) Bir

DEĞERLENDİRME

Cevaplarınızı cevap anahtarıyla karşılaştırınız. Yanlış cevap verdiğiniz ya da cevap verirken tereddüt ettiğiniz sorularla ilgili konuları faaliyete geri dönerek tekrarlayınız. Cevaplarınızın tümü doğru ise bir sonraki modüle geçmek için öğretmeninize başvurunuz.

CEVAP ANAHTARLARI

ÖĞRENME FAALİYETİ-1'İN CEVAP ANAHTARI

1	B
2	C
3	A
4	A
5	C
6	B

ÖĞRENME FAALİYETİ-2'NİN CEVAP ANAHTARI

1	Doğru
2	Yanlış
3	Doğru
4	Doğru

ÖĞRENME FAALİYETİ-3'ÜN CEVAP ANAHTARI

1	A
2	B
3	A
4	D
5	A

MODÜL DEĞERLENDİRMENİN CEVAP ANAHTARI

1	B
2	A
3	B
4	C
5	B
6	A
7	A
8	B
9	D
10	D
11	C
12	D
13	D
14	A
15	A
16	B
17	A
18	A
19	C
20	D

KAYNAKÇA

- AKAR Feyzi, Mustafa YAĞIMLI, **Dijital Elektronik Deneyleri ve Projeleri**, Beta, İstanbul, 1998.
- AKAR Feyzi, Mustafa YAĞIMLI, **Dijital Elektronik**, Beta, İstanbul, 1997.
- AKBAY Sönmez, Kadir ÇETİN, **Mikroişlemciler**, Birsen Yayın, İstanbul, 1995.
- AŞIK Ali, Hayrullah YENTÜR, Osman YORGANCI, **Dijital Elektronik ve Kumanda Tekniğine Giriş**, Rico, İzmir, 1995.
- ASLAN Recai, **Dijital Elektronik ve Uygulamaları**, Yüce Yayınları, Ayyıldız Matbaası, İstanbul, 1996.
- BARTEE Thomas, **Sayısal Bilgisayar Temelleri**, MEB, ETAM, Eskişehir, 1994.
- BERKET Metin, Engin TEKİN, **Dijital Elektronik**, Kanyılmaz Matbaası, İzmir, 2003.
- ÇAMURCU Yılmaz, **Dijital Elektronik**, Ders Kitapları A.Ş., İstanbul, 1992.
- FİŞHER Michael, JAEGER Elektronik Comparison Table, 1994, Germany.
- HALL V. Douglas, **Mikroişlemciler ve Sayısal Sistemler**, MEB, ETAM, Eskişehir, 1994.
- JICA-TUZLA Proje Öğretmenleri, **Dijital Elektronik ve Uygulamaları**, Elif Ofset, İstanbul, 1995.
- JICA-TUZLA Proje Öğretmenleri, **Mikrobilgisayarlar**, Elif Ofset, İstanbul, 1995.
- NATIONAL Semikonduktor, **National Web Cd**,, 1998,.....USA.
- KURTULDU Şaban, Mehmet Ali GÜLER, İlhan VARGÖR, **İleri Elektronik ve Dijital Sistemler**, Özışık, Ankara, 1994.
- ŞENSOY Ramazan, Ömer ERCAN, Ali Osman CANGİR, **Elektronik II Atölye**, KOPARAL Yayın, İstanbul, 1996.
- ÖZDEMİR Ali, Erdem ÖZDEMİR, **Dijital Elektronik İleri Kumanda Teknikleri ve PLC**, Özkan Matbaacılık, Ankara, 2004.
- ÖZKAN Turhan, **Mikroişlemciler, Mikrobilgisayarlar**, Sarmal Yayın, İstanbul, 1993.